

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093917

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H04N 5/92
H04N 7/08
H04N 7/081
H04N 7/32
// G06T 13/00

(21)Application number : 08-240867

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.09.1996

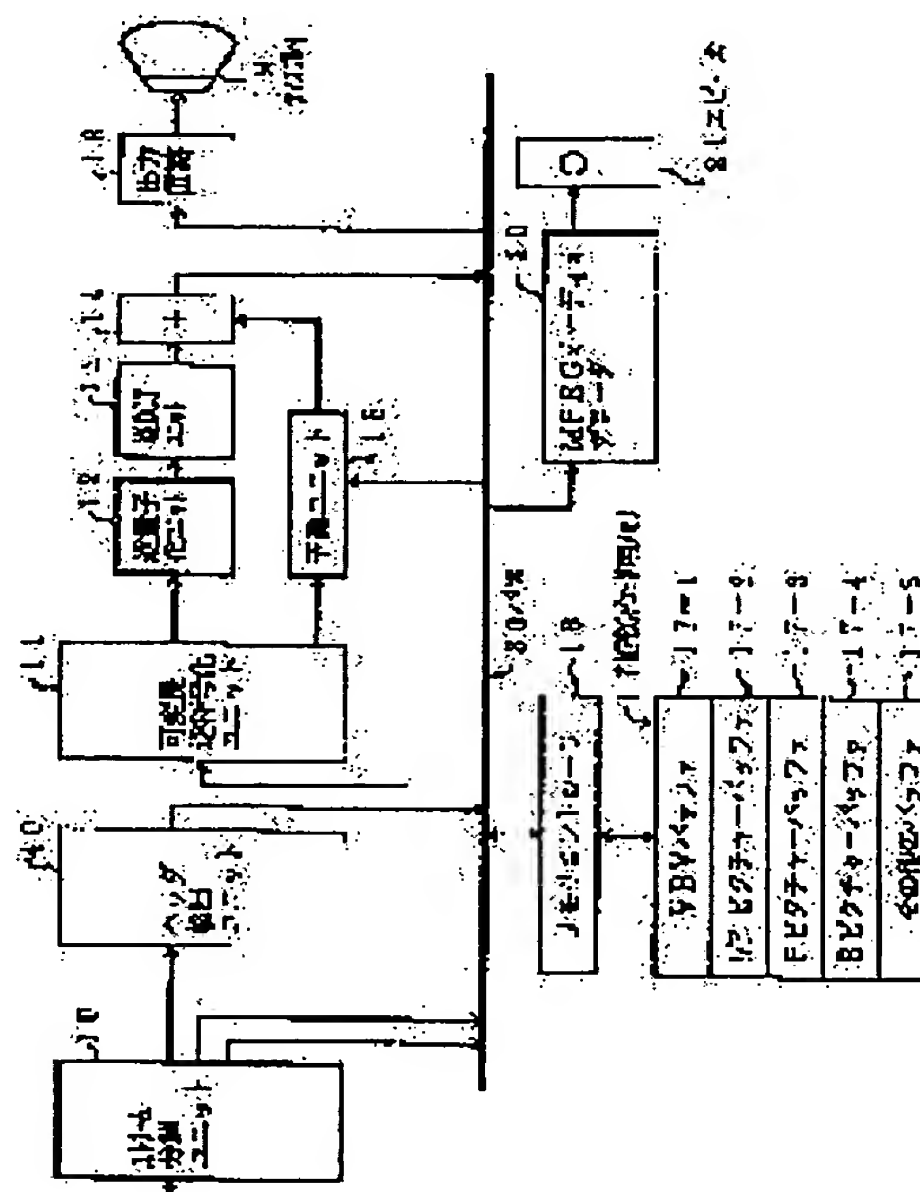
(72)Inventor : KOHIYAMA KIYOYUKI

(54) PICTURE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To abolish unnecessary data before it is written into a decoding memory and to realize the fast-forward reproduction of a video without excessively reading/writing data by providing a header detection unit immediately after a stream decomposition unit and writing only necessary data in a data stream into the decoding memory.

SOLUTION: The header detection unit 40 is provided immediately after the stream decomposition unit 10. The MPEG video stream outputted from the stream decomposition unit 10 is supplied to the header detection unit 40. The header detection unit 40 selects only the data stream to which a prescribed header is given and it is stored in a prescribed area in the VBV buffer 17-1 of the MPEG decoding memory 17. Thus, the speed of data writing/reading, which is required by the MPEG decoding memory 17, can be reduced since unnecessary data can be abolished before it is written into the MPEG decoding memory 17.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]An image processing device characterized by comprising the following for decoding a video stream in a multiplexed data stream, and displaying picture information.

A stream decomposition unit which receives this data stream and extracts this video stream.

A header detecting unit which outputs a selected video stream which consists of data which receives this video stream from this stream decomposition unit, detects a predetermined header from this video stream, and accompanies a header and a header predetermined [this] predetermined [this].

A memory which stores a this selected video stream.

A video decoder which decodes a this selected video stream stored in this memory.

[Claim 2]The image processing device according to claim 1, wherein said data stream is supplied with a data rate earlier than ordinary reproduction in order to carry out fast forwarding reproduction of said picture information.

[Claim 3]The image processing device according to claim 2, wherein said header detecting unit outputs said selected video stream which detects I picture header as said predetermined header, cancels P picture and B picture, and consists only of an I picture.

[Claim 4]Said header detecting unit I picture header detector and P picture header detector, If P picture header and B picture header are detected including B picture header detector, a sequence header code detector, and a group start code detector, Next, the image processing device according to claim 3 canceling said video stream until one of said I picture header, a sequence header code, and the group start codes is detected.

[Claim 5]Said header detecting unit detects I picture header and P picture header as said predetermined header, The image processing device according to claim 2 outputting said selected video stream which cancels B picture of all or a part and contains I picture and P picture.

[Claim 6]Said header detecting unit I picture header detector and P picture header detector, B picture header detector, a sequence header code detector, and a group start code detector are included, If B picture header is detected, said B picture of all or a part will be canceled selectively, Next, the image processing device according to claim 5 canceling said video stream of all or a part until one of said I picture header, said P picture header, a sequence header code, and the group start codes is detected.

[Claim 7]Said header detecting unit detects at least one of an user-datum start code and the extension start codes as said predetermined header, Claims 1, 2, and 3 outputting said selected video stream which consists of at least one of an user datum and the extension data, an image processing device given in 5 any 1 paragraphs.

[Claim 8]Said header detecting unit I picture header detector and P picture header detector, B picture header detector, a sequence header code detector, and a group start code detector, When said user-datum start code is detected including an user-datum start code detector, A header detected before that by any of I picture header, P picture header, B picture header, a sequence header code, and a group start code they are. It is determined whether this detected

user-datum start code is which thing of a sequence layer, a glue PUOB picture layer, and a picture layer, The image processing device according to claim 7 outputting said selected video stream which consists of said user datum of a predetermined hierarchy.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Generally this invention relates to the image processing device which performs video decryption using MPEG (Moving Picture Expert Group) digital compression, concerning an image processing device.

[0002]

[Description of the Prior Art]The example of the conventional image processing device which receives an MPEG stream and displays video on a display is shown in drawing 8. The image processing device of drawing 8, The stream decomposition unit 10, the formation of a variable-length inverse code. (inverse variable length.) The decode unit 11, the inverse quantization unit 12, reverse DCT. (Discrete Cosine Transform) The unit 13, the adding machine 14, the estimate unit 15, the memory controller 16, the memory 17 for MPEG decoding, the output circuit 18, the display 19, MPEG audio decoders 20, and the loudspeaker 21 are included. The variable-length inverse code-ized unit 11 includes the header detection circuits 11-1 and the variable-length inverse code-ized circuit 11-2 here. The memory 17 for MPEG decoding contains VBV buffer 17-1, the I/P picture buffer 17-2, P picture buffer 17-3, B picture buffer 17-4, and the other buffers 17-5. The other buffers 17-5 contain an audio buffer, the buffer for general digital information streams, etc.

[0003]The stream decomposition unit 10 receives an MPEG stream from DVD (Digital Video Disc), the hard disk of a personal computer, etc. MPEG compressed video information, MPEG compression audio information, and the general digital information having contained various programs which a user uses, and data carry out time multiplexing to this MPEG stream, and are included in it. Generally this is prescribed by the MPEG system stream standard of ISO (International Standard Organization) international standards. Variable length coding which expresses the numerical value which MPEG compressed video information expresses the numerical value which appears frequently with short numerals, and appears rarely with long numerals, and reduces the number of bits of the whole numerical sequence, DCT which changes a picture into each frequency component in every direction, the quantization which quantizes a DCT coefficient with the number of bits according to an image content, By techniques, such as DPCM (Differential Pulse Code Modulation) which compresses picture information, it is compressed according to an MPEG international graphical-data-compression standard by transmitting a difference with the past picture.

[0004]The stream decomposition unit 10 decomposes the transmitted MPEG stream into an MPEG video stream, an MPEG audio stream, and a general digital information stream. Among these, an MPEG video stream is temporarily stored in the predetermined field in VBV buffer 17-1 of the memory 17 for MPEG decoding via the bus 30 and the memory controller 16. An MPEG audio stream and a general digital information stream are stored in the other buffers 17-5. Among the condensed information stored in this buffer 17-5, audio information is read by the memory controller 16, and is supplied to MPEG audio decoders 20. MPEG audio decoders 20 decode audio information, and the loudspeaker 21 outputs the decoded audio information.

[0005]Hereafter, processing of the video information (picture information) relevant to this

invention is explained in detail among video information, audio information, and general digital information. The picture information compressed according to MPEG is expressed with the different number of bits for every frame. That is, there are some frames expressed with the comparatively small number of bits, and there are some frames expressed with the comparatively large numbers of bits. Since the picture information from which the number of bits for every frame differs is transmitted by the fixed bit rate (transmission speed), the picture information which the stream decomposition unit 10 receives differs in the transmission time for every frame. In order to absorb the difference in the transmission time for every frame of this, VBV buffer 17-1 is needed. VBV buffer 17-1 absorbs the difference in the transmission time for every frame by receiving the picture information transmitted by the fixed bit rate (transmission speed) via the stream decomposition unit 10, and storing temporarily. Each frame of the picture information stored in VBV buffer 17-1 is read for every one-frame display time to the display 19, and is applied to subsequent decoding. It is defined by the international standard that VBV buffer 17-1 manages the number of bits in a buffer in overflow / the range which does not carry out underflow, and the capacity of VBV buffer 17-1 is also defined by the international standard.

[0006]The picture stored in VBV buffer 17-1 is read to the variable-length inverse code-ized unit 11 via the memory controller 16 and the bus 30. The variable-length inverse code-ized unit 11 inverse-code-izes a variable length code to a fixed length code, and extracts a motion vector, a quantization DCT coefficient, etc. The inverse quantization unit 12 receives a quantization DCT coefficient, carries out inverse quantization of this, and outputs a DCT coefficient. The reverse DCT unit 13 receives a DCT coefficient, carries out reverse DCT of this, and returns the picture information of a frequency domain to the picture information of a space area.

[0007]One picture is divided into a 16x16-pixel block (called a macro block), and coding at the transmitting side and decryption (image restoration) by a receiver are performed for every block. The motion vector between pictures is also called for from each block. DCT in the transmitting side and reverse DCT in a receiver divide each block (macro block) into an 8x8-pixel block further, and are performed for every 8x8-pixel block.

[0008]I picture (Intra Picture) which performed prediction coding within the present frame in MPEG digital image compression, It asks for the motion vector of the present frame by using a frame with the past as an image comparison, P picture (Predictive Picture) which performed prediction coding of the present frame as difference with an image comparison based on this motion vector, It asks for the motion vector of the present frame by using both a frame with the future, and a frame with the past as an image comparison, Three kinds of estimated images with B picture (Bidirectionally Predictive Picture) which performed prediction coding of the present frame as difference with an image comparison based on this motion vector exist. The past I picture or the past P picture serves as the past image comparison here, and P picture of the future serves as an image comparison of the future. When coding B picture actually, prediction coding of the P picture of the future used as the image comparison of the future is carried out previously, it is transmitted, and B picture is coded and transmitted after that. In the side to decrypt, the present B picture is inverse-code-ized using the past I picture or P picture, and P picture of the future transmitted beforehand. The estimate unit 15 performs decryption using such a motion vector.

[0009]When the picture decoded now is I picture, the picture information from the reverse DCT unit 13 is made, as for the adding machine 14, to bypass. This I picture is stored in the I/P picture buffer 17-2 of the memory 17 for MPEG decoding via the bus 30 and the memory controller 16. I picture stored in the I/P picture buffer 17-2 is used in restoration of subsequent P pictures or B picture. For image display, this I picture is supplied to the output circuit 18 via the bus 30.

[0010]When the picture decoded now is P picture, the present frame (P picture) stored in VBV buffer 17-1 is read into the variable-length inverse code-ized unit 11, and is supplied to the adding machine 14 via the inverse quantization unit 12 and the reverse DCT unit 13. Each block of this present frame is difference with the block with which the past image comparison corresponds. The past image comparison (P picture or I picture) is already decoded, and is stored in the I/P picture buffer 17-2 or P picture buffer 17-3. The image comparison of this past

is supplied to the estimate unit 15 via the memory controller 16 and the bus 30. The motion vector extracted in the variable-length inverse code-ized unit 11 is further supplied to the estimate unit 15. The estimate unit 15 supplies the corresponding point of the image comparison of the past corresponding to each block of the present frame based on the supplied motion vector at the adding machine 14. Each block of the present frame and the place where the past image comparison corresponds are added by this, and the image restoration of the present frame is obtained. Restored P picture is stored in the I/P picture buffer 17-2 or P picture buffer 17-3. Stored P picture is used in restoration of subsequent P pictures or B picture. For image display, this P picture is supplied to the output circuit 18 via the bus 30.

[0011]When the picture decoded now is B picture, the present frame (B picture) stored in VBV buffer 17-1 is read into the variable-length inverse code-ized unit 11, and is supplied to the adding machine 14 via the inverse quantization unit 12 and the reverse DCT unit 13. Each block of this present frame is difference with the block with which the image comparison of the past and the future corresponds. The image comparison (P picture or I picture) of the past and the future is already decoded, and is stored in the I/P picture buffer 17-2 or P picture buffer 17-3. The image comparison of this past and the future is supplied to the estimate unit 15 via the memory controller 16 and the bus 30. The motion vector extracted in the variable-length inverse code-ized unit 11 is further supplied to the estimate unit 15. The estimate unit 15 supplies the portion of the image comparison of the past corresponding to each block of the present frame, and the future based on the supplied motion vector at the adding machine 14. The image region to which the image comparison of each block and the past of the present frame, and the future corresponds is added by this, and the image restoration of the present frame is obtained. For image display, restored B picture is supplied to the output circuit 18 via the bus 30. Since the picture under decoding is stored, B picture buffer 17-4 is used.

[0012]Thus, I picture supplied to the output circuit 18, P picture, and B picture are supplied to the display 19 as a video signal for a display. The display 19 displays the supplied video signal on a screen. Generally, I picture is 0.5. It is transmitted to a second at 1 time (it is one frame to 15 frames) of a rate. Although it is dependent on the size of correlation between the pictures of a time direction, generally I picture has the lowest compression ratio, and there is most amount of information (number of bits) required for an image expression. B picture has the highest compression ratio and there is least amount of information (number of bits) required for an image expression. P picture has a compression ratio higher than I picture, and its compression ratio is lower than B picture.

[0013]Discernment of an I/P/B picture can be performed by referring to the picture header or subsequent ones which the variable-length inverse code-ized unit 11 extracted out of the MPEG data stream. Drawing 9 is a figure showing the details of the header detection circuits 11-1 of the variable-length inverse code-ized unit 11. As shown in drawing 2, the header detection circuits 11-1 contain the picture header storing register 31, the shift register 32, and the comparator 33. Generally, since an MPEG stream is serial and it is transmitted, in the example of drawing 9, the video stream supplied from VBV buffer 17-1 is also assumed to be serial. The shift register 32 changes this serial video stream into parallel data. A mere register may be used instead of the shift register 32 noting that this serial parallel conversion is not essential and its video stream supplied from VBV buffer 17-1 is parallel.

[0014]The picture header storing register 31 stores the picture header information which identifies an I/P/B picture. The comparator 33 compares the data supplied from the shift register 32 with the picture header information stored in the picture header storing register 31, and the picture supplied now judges any of I/P/B they are. This comparator 33 can be constituted by using an XOR circuit etc.

[0015]An MPEG video stream is altogether specified as "000001xx" of a hexadecimal number including a sequence header code, a group start code, a picture start code, a slice start code, etc. which show the start points of each hierarchy's data. Therefore, as for all the start codes, 23 "0" will come ["1"] by a binary number after that continuously. The video stream is coded so that these 23 "0" may not exist other than these start codes in the pattern to which "1" comes after that continuously. "xx" prescribes the kind of start code and, in the case of a

picture start code, it is $xx=00$. The code which follows this picture start code and shows the picture type of I/P/B is sent. Therefore, consider a picture start code and a picture type as a picture header collectively, and the start of a picture is judged by the bit pattern of this picture header, and a picture type is discriminable. The comparator 33 inputs a seizing signal to the variable-length inverse code-ized circuit 11-2 after picture header discernment, and makes the inverse code-ized processing to a picture start in the example of drawing 9.

[0016]When realizing a rapid traverse of video in the image processing device of drawing 8, the fast forwarding reproduction by processing of only I picture or the fast forwarding reproduction by B picture skip processing is common as processing of the MPEG stream supplied from DVD etc. Why reproduction of only I picture or B picture skip reproduction is common is explained below.

[0017]For example, in order for all MPEG video decoders (the variable-length inverse code-ized unit 11, the inverse quantization unit 12, the reverse DCT unit 13, the adding machine 14, and the estimate unit 15) to process the video stream fast forwarded by one 5 times the speed of this, one 5 times the process speed of this is required. Considering economical requirements, realizing is difficult for such a process speed. Since the display 19 is unable to display picture information by one 5 times the speed of this, there is no meaning in processing all the MPEG video streams by one 5 times the speed of this itself.

[0018]When the display ability of the display 19 is taken into consideration, it being meaningful as fast forwarding reproduction is displaying an image frame at intervals. Therefore, the MPEG video decoder side should just also process one frame to five frames rather than will process by one 5 times the speed of this. However, since I picture is formed into the picture inner code, even if given independently, it can decode, but since P picture or B picture is coded between pictures, if given independently, it cannot decode. That is, P picture depends for P picture of this past on the past picture further depending on the past I picture or the past P picture. Therefore, if processing of a certain P picture is skipped once, subsequent P picture processing will become impossible. Similarly, when B picture depending on the I/P picture of the past and the future also skips P picture processing, restoration of it becomes impossible.

[0019]Therefore, even when the 1st method of performing fast forwarding reproduction is independent, it is reproducing only I picture which can be restored. The 2nd method is in part or all skipping only B picture, and reproducing a part of B picture in addition to I picture and P picture, or it.

[0020]

[Problem(s) to be Solved by the Invention]However, in the conventional image processing device of drawing 8, a picture type required for two above-mentioned fast-forwarding-reproduction processings will be identified by the header detection circuits 11-1. In this case, the video stream supplied to the header detection circuits 11-1 via the bus 30 from VBV buffer 17-1 is a stream containing all the pictures. The video stream written in VBV buffer 17-1 via the bus 30 from the stream decomposition unit 10 is also a stream containing all the pictures.

[0021]Therefore, in the case of fast forwarding reproduction, the processing which write a video stream to the MPEG decode memory 17 via the bus 30 needs to perform extensive and high-speed data transfer. Therefore, a large burden is placed on the data transfer ability of the bus 30, and the speed of a video stream may cross the limit of the access speed of the writing and read-out to a memory.

[0022]Therefore, an object of this invention is to provide the image processing device which realizes fast forwarding reproduction of video, without performing superfluous data reading and writing to the memory for MPEG decoding.

[0023]

[Means for Solving the Problem]An image processing device for decoding a video stream in a multiplexed data stream in an invention of claim 1, and displaying picture information, A stream decomposition unit which receives this data stream and extracts this video stream, Receive this video stream from this stream decomposition unit, and a predetermined header is detected from this video stream, A header detecting unit which outputs a selected video stream which consists of data which accompanies a header and a header predetermined [this] predetermined [this],

A video decoder which decodes a this selected video stream stored in a memory which stores a this selected video stream, and this memory is included.

[0024]In the above-mentioned invention, only required data is written in a memory for decoding among data streams by providing a header detecting unit immediately after a stream decomposition unit. Since unnecessary data can be discarded by this before writing in a memory for decoding, speeds of the data writing/read-out required of a memory for decoding are reducible.

[0025]In an invention of claim 2, in the image processing device according to claim 1, said data stream is supplied with a data rate earlier than ordinary reproduction, in order to carry out fast forwarding reproduction of said picture information. In the above-mentioned invention, in fast forwarding reproduction of a picture, before writing in a memory for decoding, speeds of the data writing/read-out required of a memory for decoding at the time of fast forwarding reproduction are reducible by discarding unnecessary data of a video stream.

[0026]In an invention of claim 3, in the image processing device according to claim 2, said header detecting unit, Said selected video stream which detects I picture header as said predetermined header, cancels P picture and B picture, and consists only of an I picture is outputted.

[0027]In the above-mentioned invention, fast forwarding reproduction of a picture only using I picture can be performed, without requiring speed of data writing/read-out excessively from a memory for decoding. In an invention of claim 4, in the image processing device according to claim 3, said header detecting unit, I picture header detector, P picture header detector, and B picture header detector, If P picture header and B picture header are detected including a sequence header code detector and a group start code detector, Next, said video stream is canceled until one of said I picture header, a sequence header code, and the group start codes is detected.

[0028]In the above-mentioned invention, fast forwarding reproduction of a picture only using I picture becomes possible, without requiring speed of data writing/read-out excessively from a memory for decoding by detecting each header of a video stream. In an invention of claim 5, in the image processing device according to claim 2, said header detecting unit, Said selected video stream which detects I picture header and P picture header as said predetermined header, in part or all cancels B picture, and consists of a part of I picture, P picture, and B picture is outputted.

[0029]In the above-mentioned invention, fast forwarding reproduction of a picture only using I picture and P picture can be performed, without requiring speed of data writing/read-out excessively from a memory for decoding. In an invention of claim 6, in the image processing device according to claim 5, said header detecting unit, I picture header detector, P picture header detector, and B picture header detector, If B picture header is detected including a sequence header code detector and a group start code detector, Next, said video stream is canceled until one of said I picture header, said P picture header, a sequence header code, and the group start codes is detected.

[0030]In the above-mentioned invention, fast forwarding reproduction of a picture only using I picture and P picture becomes possible, without requiring speed of data writing/read-out excessively from a memory for decoding by detecting each header of a video stream.

[0031]In an invention of claim 7, in an image processing device claims 1, 2, and 3 and given in 5 any 1 paragraphs, said header detecting unit, At least one of an user-datum start code and the extension start codes is detected as said predetermined header, and said selected video stream which consists of at least one of an user datum and the extension data is outputted.

[0032]By sorting out at least one of an user datum of a video stream, and the extension data, and storing in a memory in the above-mentioned invention, An user datum or extension data can be treated separately from other data, and speeds of the data writing/read-out required of a memory for decoding are reducible.

[0033]In an invention of claim 8, in the image processing device according to claim 7, said header detecting unit, I picture header detector, P picture header detector, and B picture header detector, When said user-datum start code is detected including a sequence header code detector, a group start code detector, and an user-datum start code detector, A header

detected before that by any of I picture header, P picture header, B picture header, a sequence header code, and a group start code they are. It determines whether this detected user-datum start code is which thing of a sequence layer, a glue PUOB picture layer, and a picture layer, and said selected video stream which consists of said user datum of a predetermined hierarchy is outputted.

[0034]In the above-mentioned invention, it becomes possible to treat an user datum separately from other data by detecting each header of a video stream, and speeds of the data writing/read-out required of a memory for decoding are reducible.

[0035]

[Embodiment of the Invention]It explains using the drawing of attachment of the example of this invention below. Drawing 1 shows the example of the image processing device by this invention. In drawing 1, the same component as drawing 8 is referred to by the same numerals, and the detailed explanation is omitted. In the image processing device by this invention, only required data is written in the memory for MPEG decoding among MPEG streams by providing a header detecting unit immediately after a stream decomposition unit. Since unnecessary data can be discarded by this before writing in the memory for MPEG decoding, the speeds of the data writing/read-out required of the memory for MPEG decoding are reducible.

[0036]The image processing device of drawing 1, The stream decomposition unit 10, the header detecting unit 40, the variable-length inverse code-ized unit 11, the inverse quantization unit 12, the reverse DCT unit 13, the adding machine 14, the estimate unit 15, the memory controller 16, the memory 17 for MPEG decoding, the output circuit 18, the display 19, MPEG audio decoders 20 and the loudspeaker 21 are included.

[0037]The stream decomposition unit 10 decomposes into an MPEG video stream, an MPEG audio stream, and a general digital information stream the MPEG stream transmitted from MPEG stream generators, such as DVD. The MPEG audio stream and general digital information stream which were outputted from the stream decomposition unit 10, It is temporarily stored in the predetermined field in VBV buffer 17-1 of the memory 17 for MPEG decoding, and the other buffers 17-5 via the bus 30 and the memory controller 16. Among the condensed information stored in this VBV buffer 17-1 and the other buffers 17-5, audio information is read by the memory controller 16, and is supplied to MPEG audio decoders 20. MPEG audio decoders 20 decode audio information, and the loudspeaker 21 outputs the decoded audio information.

[0038]The MPEG video stream outputted from the stream decomposition unit 10 is supplied to the header detecting unit 40. The header detecting unit 40 chooses only the data stream to which the predetermined header was attached, and stores it in the predetermined field in VBV buffer 17-1 of the memory 17 for MPEG decoding.

[0039]Fast forwarding reproduction by selection of only I picture is realized as follows. The header detecting unit 40 receives the MPEG video stream corresponding to the speed of the rapid traverse from the stream decomposition unit 10. The header detecting unit 40 detects a sequence header code, a group start code, and a picture header from the supplied MPEG video stream.

[0040]The profile of an MPEG video stream is typically shown in drawing 2. Although the actual MPEG video stream is defined more as details, on account of explanation, it simplifies only the portion relevant to this invention, and has shown it to drawing 2. As shown in drawing 2, an MPEG video stream starts with a sequence header code, and various parameters which define an image sequence as the field following a sequence header code by a long time basis are contained. As an example of these parameters, the size of the line number of the length of a picture, a horizontal pixel number, an aspect ratio, and a VBV buffer, etc. are mentioned. The user-datum start code and user datum which show the start of the user datum which a user can use freely are transmitted in a sequence hierarchy following these parameters.

[0041]This is followed and it is 0.5. The group start code which shows the start of a settlement (glue PUOB picture: GOP) of the picture of the time basis about a second (about ten to 20 frame number) is transmitted. In the field following a group start code, various parameters defined to the glue PUOB picture are contained. For example, the parameter etc. which show the time from the head of a sequence are contained. The user-datum start code and user datum

which show the start of the user datum which a user can use freely are transmitted in a glue PUOB picture hierarchy following these parameters.

[0042]The picture start code which shows the start of one frame or the 1 field is transmitted following this. In the field following a picture start code, various parameters defined to the picture are contained. As an example of these parameters, there are a parameter which shows the accuracy of a motion vector, a picture coding type in which the picture type of I/P/B is shown, etc. Here, a picture start code and the picture coding type which follows are collectively called a picture head. The user-datum start code and user datum which show the start of the user datum which a user can use freely are transmitted in a picture hierarchy following these parameters.

[0043]The image data divided by the slice start code following this is transmitted. Again, when the header detecting unit 40 detects a sequence header code or a group start code with reference to drawing 1, a picture header is detected, storing the MPEG stream following it in VBV buffer 17-1. When the detected picture header is I picture header, the MPEG stream following it is stored in VBV buffer 17-1. When the detected picture header is P picture header or B picture header, the MPEG stream following it is canceled until a following sequence header code, group start code, or picture header comes. Only I picture is stored in the predetermined field in VBV buffer 17-1 of the memory 17 for MPEG decoding by this among I/P/B pictures. I picture stored in VBV buffer 17-1 is read to the variable-length inverse code-ized unit 11 via the memory controller 16 and the bus 30. The variable-length inverse code-ized unit 11 performs inverse code-ization, changes a variable length code into a fixed length code, and extracts a quantization DCT coefficient etc.

[0044]The inverse quantization unit 12 receives a quantization DCT coefficient, carries out inverse quantization of this, and outputs a DCT coefficient. The reverse DCT unit 13 receives a DCT coefficient, carries out reverse DCT of this, and returns the picture information of a frequency domain to the picture information of a space area. In this case, since the processing object is I picture, the estimate unit 15 which performs processing for prediction between pictures does not operate. The adding machine 14 makes the picture information of the space area supplied from the reverse DCT unit 13 bypass as it is. The picture information of this space area is once supplied to the output circuit 18 via the memory 17 for MPEG decoding. The output circuit 18 outputs a rapid-traverse video signal, and is displayed as a rapid-traverse picture on the display 19.

[0045]Thus, only required data is written in the memory 17 for MPEG decoding among MPEG streams by forming the header detecting unit 40 immediately after the stream decomposition unit 10. Since unnecessary data can be discarded by this before writing in the memory 17 for MPEG decoding, the speeds of the data writing/read-out required of the memory 17 for MPEG decoding are reducible. The same with choosing only I picture and writing in the memory 17 for MPEG decoding. In the header detecting unit 40, only I picture and P picture, Or it may constitute so that a part of I picture and P picture, and B picture may be chosen (namely, B picture a part of skip or B picture skip) and it may write in the memory 17 for MPEG decoding. The header detecting unit 40 may identify an user-datum start code, and may also include the circuit which sorts out an user datum for every hierarchy.

[0046]Drawing 3 shows the example of a circuit of the 1st example of the header detecting unit 40 for choosing only I picture. The header detecting unit 40 of drawing 3, OR circuit 41, the octal counter 42, the comparator 43, the delay circuit 44, the registers 45 and 46, the sequence header comparator 47, the GOP header comparator 48, I picture header comparator 49, P picture header comparator 50, B picture header comparator 51, RS flip flop 52, AND circuit 53, FIFO memory 54, the updown counter 55, the comparator 56, and the memory interface circuit 57 are included. The time chart of the header detecting unit 40 of drawing 3 is shown in drawing 4. Hereafter, with reference to drawing 3 and drawing 4, operation of the header detecting unit 40 of drawing 3 is explained.

[0047]The MPEG video stream supplied from the stream decomposition unit 40 is stored in the delay circuit 44 and the register 46. The register 46 is data which stores 48-bit data, and corresponds to the length of each header (start code) these 48 bits. Actually, the picture start

code and picture type which are shown in drawing 2 are expressed with a bit string of 48 in all bits or less. However, since an MPEG video stream is supplied by 8 bitwisers, in order to divide into this in an 8 in all bits unit, let the register 46 be 48 bit length.

[0048]As shown in drawing 4, the MPEG video stream inputted into the delay circuit 44 is delayed by 48 clocks, and is outputted. The 48-bit data stored in the register 46 is supplied to the sequence header comparator 47, the GOP header comparator 48, I picture header comparator 49, P picture header comparator 50, and B picture header comparator 51, and is compared with each header (start code). Each of the comparators 47 thru/or 51 outputs a HIGH signal, when in agreement with the header pattern in which the data of 48 bit length stored in the register 46 corresponds. The output of the sequence header comparator 47, the GOP header comparator 48, and I picture header comparator 49, The set input of the flip-flop 52 is supplied and the output of P picture header comparator 50 and B picture header comparator 51 is supplied to the reset input of the flip-flop 52.

[0049]Although 48-bit data is stored in the register 46, it takes the time for 48 clocks. Therefore, it is after [from the head of I picture header of an MPEG video stream] 48 clocks that I picture head of an MPEG video stream is detected, and the output of I picture header comparator 49 is set to HIGH. Therefore, as shown in drawing 4, the head of I picture header delayed by 48 clocks by the delay circuit 44 and the output of I picture header comparator 48 are in agreement in time. As for the flip-flop 52, the output changes so that it may be in agreement with the head of I picture header delayed by the delay circuit 44. In this case, since I picture header was detected, that output is set to HIGH.

[0050]The delayed MPEG video streams which are outputted from the delay circuit 44 are serial data, and this is stored in the register 45 which is 8 bits, and they are deserialized by 8-bit parallel data. The MPEG video stream changed into 8-bit parallel data is written in FIFO memory 54. Under the present circumstances, since data cannot be written in FIFO memory 54 from the register 45 until the register 45 is covered with the data for 8 bits, in order to control that timing, the comparator 43 and AND circuit 53 are used.

[0051]The outputs a thru/or e of the comparators 47 thru/or 51 are supplied to OR circuit 41, and reset the octal counter 42 to the timing from which one of headers was detected. The reset octal counter 42 calculates the number of clock pulses from 0, and supplies a counting result to the comparator 43. The comparator 43 compares fixed input "7" with a counting result, and when both are the same, it outputs a HIGH signal. That is, as shown in drawing 4, when the counting result of the octal counter 42 is 7, the output of the comparator 43 serves as HIGH. That the output of this comparator 43 is set to HIGH is the timing whose read-out of 8-bit parallel data 8-bit data was stored in the register 45, and became possible.

[0052]The output of the comparator 43 is given to one input of AND circuit 53, and the output of the flip-flop 52 is given to another input of AND circuit 53. Therefore, an octal counter is the timing which carries out the coefficient of 7, and AND circuit 53 outputs a HIGH signal, when a sequence header, a GOP header (group start code), or I picture header is detected. The output of this AND circuit 53 is given to the write input of FIFO memory 54. Therefore, as shown in drawing 4, the write input of FIFO memory 54 is given to the timing whose read-out of 8-bit parallel data became possible from the register 45.

[0053]Thus, 8 bit data deserialized with the register 45 are written in FIFO memory 54. The output of AND circuit 53 is given to the rise count input of the updown counter 55 again. That is, whenever 8 bit data are written once in FIFO memory 54, only 1 increases the counted value output of the updown counter 55. This situation is shown in drawing 4. The comparator 56 receives the counted value output of the updown counter 55, and fixed value "0", compares both, and when counted value is zero or more, it outputs a HIGH signal.

[0054]If a HIGH signal is given from the comparator 56, the memory interface circuit 57 will supply a read requirement signal to FIFO memory 54, and will read 8 bit data from FIFO memory 54. The read requirement signal from the memory interface circuit 57 to FIFO memory 54 is also given to the down counting input of the updown counter 55. Therefore, whenever the memory interface circuit 57 reads 8 bit data from FIFO memory 54 once, the counted value of the updown counter 55 decreases only by 1. That is, the counted value of the updown counter 55

will show the number of 8 bit data stored in FIFO memory 54. Thus, the interface circuit 57 continues reading data, as long as data is stored in FIFO memory 54. The data which the memory interface circuit 57 read is stored in VBV buffer 17-1 of the memory 17 for MPEG decoding of drawing 1.

[0055]As shown in drawing 4, when the following picture header is P picture header, the output of P picture header comparator 50 serves as HIGH, the flip-flop 52 is reset and the output serves as LOW. Therefore, the data after P picture header is not written in FIFO memory 54 until a sequence header, a GOP header, or I picture header next comes.

[0056]Only I picture can be chosen as mentioned above and it can store in the predetermined field of the memory 17 for MPEG decoding. Therefore, only I picture can be reproduced, without requiring superfluous writing and read-out from the memory 17 for MPEG decoding, when carrying out fast forwarding reproduction.

[0057]Drawing 5 shows the example of a circuit of the 2nd example of the header detecting unit 40 for choosing only an I/P picture. The header detecting unit 40 of drawing 3, OR circuit 41, the octal counter 42, the comparator 43, the delay circuit 44, the registers 45 and 46, the sequence header comparator 47, the GOP header comparator 48, I picture header comparator 49, P picture header comparator 50, B picture header comparator 51, RS flip flop 52A, AND circuit 53, FIFO memory 54, the updown counter 55, the comparator 56, and the memory interface circuit 57 are included. The header detecting unit 40 of drawing 5 is the same except for the header detecting unit of drawing 3, and RS flip flop 52A.

[0058]Namely, in the header detecting unit 40 which chooses an I/P picture and skips B picture, RS flip flop 52A sets the flip-flop 52A, when a sequence header, a GOP header, I picture header, or P picture header comes, and only when B picture header comes, it resets the flip-flop 52A. Thus, only I and P picture can be chosen and it can store in the predetermined field of the memory 17 for MPEG decoding. Therefore, only I and P picture can be reproduced, without requiring superfluous writing and read-out from the memory 17 for MPEG decoding, when carrying out fast forwarding reproduction.

[0059]Drawing 6 shows the example of a circuit of the 3rd example of the header detecting unit 40 for sorting out an user datum. The header detecting unit 40 of drawing 6, OR circuit 41, the octal counter 42, the comparator 43, the delay circuit 44, the registers 45 and 46, the sequence header comparator 47, the GOP header comparator 48, I picture header comparator 49, P picture header comparator 50, B picture header comparator 51, RS flip flop 52A, AND circuit 53A, FIFO memory 54, the updown counter 55, the comparator 56, and the memory interface circuit 57 are included. Each above-mentioned element is the same except for the header detecting unit of drawing 3, and AND circuit 53A. In addition to two inputs of drawing 3, AND circuit 53A is an AND circuit of 3 inputs which receive the input from the added circuit part. The header detecting unit 40 of drawing 6 includes the user header comparator 60, RS flip flops 61 and 62, AND circuit 63, the inverter 64, and the FIFO circuit 71 as a portion further added in order to identify an user datum. The FIFO circuit 71 is a thing of the FIFO circuit 70 and an identical configuration which consists of FIFO memory 54, the updown counter 55, and the comparator 56.

[0060]The header detecting unit 40 of drawing 6 detects a sequence hierarchy's user header (user-datum start code) in the MPEG video stream shown in drawing 2. Other data supplies a sequence hierarchy's user datum to the memory interface circuit 57 separately. By having such composition, a sequence hierarchy's user datum is storable in dedicated area where other data is another within VBV buffer 17-1 of the memory 17 for MPEG decoding of drawing 1.

[0061]The user header comparing element 60 detects whether the data of 48 bit length stored in the register 46 is in agreement with the bit pattern of an user-datum start code in the header detecting unit 40 of drawing 6. In being in agreement, a HIGH signal is outputted and it sets the flip-flop 62. This flip-flop 62 will be reset if a header next comes. Therefore, only the period of an user datum when the output of the flip-flop 62 follows a user header and it is set to HIGH.

[0062]In an MPEG video stream, an user-datum start code (user header) is not concerned with a sequence layer, a GOP (glue PUOB data) layer, and a picture layer, but is the same bit pattern. Therefore, if only the user header comparator 60 was used, the user datum which follows the

user header and it which were detected is not known in which hierarchy's thing.

[0063]The flip-flop 61 is for identifying to which hierarchy the user header which the user header comparator 60 detected belongs. The output (a) of the sequence header comparator 47 is given to the set input of the flip-flop 61, The output (b thru/or e) of the GOP header comparator 48, I picture header comparator 49, P picture header comparator 50, and B picture header comparator 51 is given to reset input. Therefore, the flip-flop 61 supplies a HIGH signal as an output, only when the present hierarchy is a sequence layer.

[0064]Therefore, the user header of a sequence layer is detectable by taking AND of the output of the flip-flop 61, and the output of the flip-flop 62. That is, AND circuit 63 which receives the output of the flip-flop 61 and the output of the flip-flop 62 sets the output to HIGH, only when the user header of a sequence layer comes.

[0065]The FIFO circuit 71 receives the signal which shows user header detection of a sequence layer as write signal write, and stores the 8-bit parallel data stored in the register 45. The FIFO circuit 71 continues supplying a write request signal to the memory interface circuit 57, as long as there is data which read one user datum of a sequence layer after another, and is held. If a write request signal is received, the memory interface circuit 57 will give the read request signal read to the FIFO circuit 71, and will read data. The output of AND circuit 63 is inputted into AND circuit 53A via the inverter 64. Therefore, the user datum of a sequence layer is not written in the FIFO circuit 70.

[0066]Thus, the user datum of a sequence layer can be supplied to the memory interface circuit 57 separately from other MPEG video streams. Therefore, within VBV buffer 17-1 of the memory 17 for MPEG decoding of drawing 1, a sequence hierarchy's user datum is storable in a dedicated area different from other data.

[0067]In the 3rd above-mentioned example, although the example which sorts out the user datum of a sequence layer was shown, it is clear for the user datum of arbitrary layers to be sorted out by the same composition as drawing 6. Drawing 7 shows the example of a circuit of the 4th example of the header detecting unit 40 for sorting out the user datum of a GOP layer. The header detecting unit of drawing 7 differs only in the combination of the set signal and reset signal which are supplied to the flip-flop 61 from the header detecting unit of drawing 6. In drawing 7, it is set only at the time of GOP header detection, and the flip-flop 61 is reset at the time of the other header detection. Therefore, the output of the flip-flop 61 is set to HIGH only when the present hierarchy is a GOP layer. That the output of the flip-flop 62 serves as HIGH is a case where a user header is detected. Therefore, only the user header and user datum of a GOP layer are detectable by taking AND of the output of the flip-flop 61, and the output of the flip-flop 62.

[0068]The GOP layer user-datum selection circuit of drawing 7 is added to the circuit of drawing 6, and it may enable it to sort out respectively the user datum of a sequence layer, and the user datum of a GOP layer independently. The picture layer user-datum selection circuit constituted similarly may be further added so that the user data of a sequence layer, a GOP layer, and a picture layer can be sorted out independently.

[0069]For example, the user datum of a GOP layer can be used for text type digital data transmission of a teletext etc. By this, the text information relevant to the picture group of the GOP can be displayed on a screen. By a cookery program, for example by making material of cooking into text data, it relates with a screen, and it can transmit and, specifically, the character representation of the material of cooking can be carried out with a corresponding screen. The display of a character can be erased if it thinks that the televiewer of a character is obstructive. In the usual television imagery, since text is transmitted as a TV signal united with picture information, only a character representation cannot be erased in this way. The text of the word of each country is transmitted as text, and it becomes possible of a televiewer to display the text information of one's favorite language or a native language.

[0070]In the 3rd and 4th examples of the above, when performing such processing by fast forwarding reproduction, an unnecessary user datum can be canceled and only a required user datum can be stored in the memory 17 for MPEG decoding. Therefore, the speeds of the data writing and read-out to the memory 17 for MPEG decoding are reducible. Even if it is a case of

regeneration of the usual speed instead of fast forwarding reproduction, since read speeds can be reduced when reading a stream from the memory 17 for MPEG decoding, it is useful by canceling unnecessary data.

[0071]It may enable it for the same composition to sort out not only an user datum but the extension data which follows an extension start code and it. Although this invention was explained based on the example which applies MPEG, it is not limited to MPEG and can be applied to picture information multiplexing data various type. Various modification and corrections are possible for this invention, without deviating from the range of this invention which is not limited to an above-mentioned example and shown in a claim.

[0072]

[Effect of the Invention]In the invention of claim 1, only required data is written in the memory for decoding among data streams by providing a header detecting unit immediately after a stream decomposition unit. Since unnecessary data can be discarded by this before writing in the memory for decoding, the speeds of the data writing/read-out required of the memory for decoding are reducible.

[0073]In the invention of claim 2, in the fast forwarding reproduction of a picture, before writing in the memory for decoding, the speeds of the data writing/read-out required of the memory for decoding at the time of fast forwarding reproduction are reducible by discarding the unnecessary data of a video stream.

[0074]In the invention of claim 3, fast forwarding reproduction of the picture only using I picture can be performed, without requiring the speed of data writing/read-out excessively from the memory for decoding. In the invention of claim 4, the fast forwarding reproduction of the picture only using I picture becomes possible, without requiring the speed of data writing/read-out excessively from the memory for decoding by detecting each header of a video stream.

[0075]In the invention of claim 5, only I picture and P picture can perform fast forwarding reproduction of the picture which used a part of I picture and P picture, and B picture, without requiring the speed of data writing/read-out excessively from the memory for decoding.

[0076]In the invention of claim 6, by detecting each header of a video stream, The fast forwarding reproduction of the picture for which only I picture and P picture used a part of I picture and P picture, and B picture becomes possible, without requiring the speed of data writing/read-out excessively from the memory for decoding.

[0077]By sorting out at least one of the user datum of a video stream, and the extension data, and storing in a memory in the invention of claim 7, An user datum or extension data can be treated separately from other data, and the speeds of the data writing/read-out required of the memory for decoding are reducible.

[0078]In the invention of claim 8, it becomes possible to treat an user datum separately from other data by detecting each header of a video stream, and the speeds of the data writing/read-out required of the memory for decoding are reducible.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a lineblock diagram of the image processing device to the MPEG stream by this invention.

[Drawing 2]It is a figure explaining the header contained in an MPEG stream.

[Drawing 3]It is a lineblock diagram of the 1st example of the header detecting unit of drawing 1.

[Drawing 4]It is a time chart explaining operation of the header detecting unit of drawing 3.

[Drawing 5]It is a lineblock diagram of the 2nd example of the header detecting unit of drawing 1.

[Drawing 6]It is a lineblock diagram of the 3rd example of the header detecting unit of drawing 1.

[Drawing 7]It is a lineblock diagram of the 4th example of the header detecting unit of drawing 1.

[Drawing 8]It is a lineblock diagram of the conventional image processing device to an MPEG stream.

[Drawing 9]It is a lineblock diagram of the variable-length inverse code-ized unit of drawing 7.

[Description of Notations]

10 Stream decomposition unit

11 Variable-length inverse code-ized unit

12 Inverse quantization unit

13 Reverse DCT unit

14 Adding machine

15 Estimate unit

16 Memory controller

17 The memory for MPEG decoding

18 Output circuit

19 Display

20 MPEG audio decoders

21 Loudspeaker

31 Picture header storing register

32 Shift register

33 Comparator

41 OR circuit

42 Octal counter

43 Comparator

44 Delay circuit

45 and 46 Register

47 Sequence header comparator

48 GOP header comparator

49 I picture header comparator

50 P picture header comparator

51 B picture header comparator

52 RS flip flop

53 AND circuit

54 FIFO memory
55 Updown counter
56 Comparator
57 Memory interface circuit
60 User header comparator
61, 62 RS flip flops
63 AND circuit
64 Inverter
70, 71 FIFO circuit

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93917

(43)公開日 平成10年(1998)4月10日

(51) Int.Cl.⁸

識別記号

FI

H04N 5/92

7/08

7/081

7/32

// G O 6 T 13/00

H04N 5/92

7/08

7/137

G O 6 F 15/62

H

$$\mathbf{Z}$$
$$\mathbb{Z}$$

3 4 0 D

審査請求 未請求 請求項の数8 OL (全 14 頁)

(21)出願番号 特願平8-240867

(22)出願日 平成8年(1996)9月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 小桧山 清之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

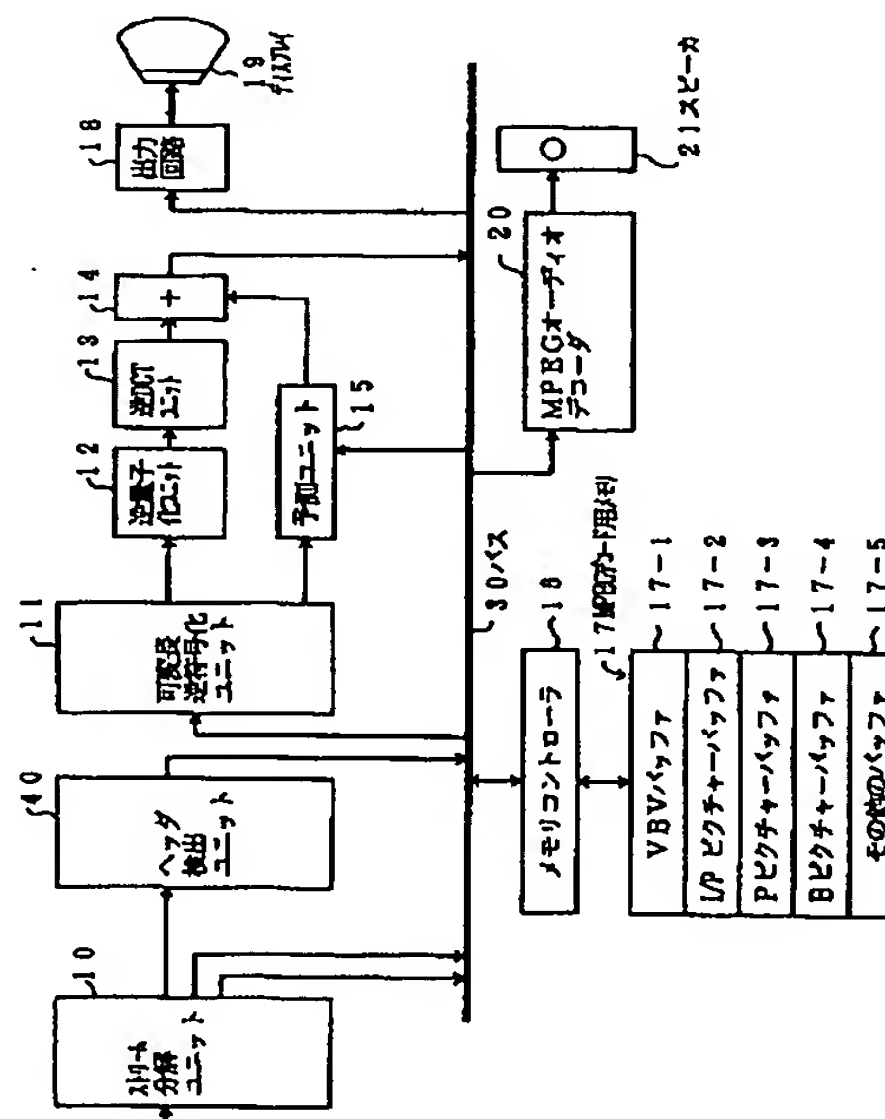
(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 本発明は、デコード用メモリに対して過剰なデータ読み書きを行うことなく、ビデオの早送り再生を実現する画像処理装置を提供することを目的とする。

【解決手段】 データストリーム中のビデオストリームをデコードして画像情報を表示するための画像処理装置は、データストリームを受け取りビデオストリームを抽出するストリーム分解ユニットと、ストリーム分解ユニットからビデオストリームを受け取り、ビデオストリームから所定のヘッダを検出して、所定のヘッダ及び所定のヘッダに付随するデータからなる選択されたビデオストリームを出力するヘッダ検出ユニットと、選択されたビデオストリームを格納するメモリと、メモリに格納された選択されたビデオストリームをデコードするビデオデコーダを含む。

本発明によるMPEGストリームに対する画像処理装置の構成図



1

【特許請求の範囲】

【請求項1】 多重化されたデータストリーム中のビデオストリームをデコードして画像情報を表示するための画像処理装置であって、
該データストリームを受け取り該ビデオストリームを抽出するストリーム分解ユニットと、
該ストリーム分解ユニットから該ビデオストリームを受け取り、該ビデオストリームから所定のヘッダを検出して、該所定のヘッダ及び該所定のヘッダに付随するデータからなる選択されたビデオストリームを出力するヘッダ検出ユニットと、
該選択されたビデオストリームを格納するメモリと、
該メモリに格納された該選択されたビデオストリームをデコードするビデオデコーダを含むことを特徴とする画像処理装置。

【請求項2】 前記データストリームは、前記画像情報を早送り再生するために通常再生より早いデータレートで供給されることを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記ヘッダ検出ユニットは、Iピクチャーヘッダを前記所定のヘッダとして検出し、Pピクチャー及びBピクチャーを破棄してIピクチャーのみからなる前記選択されたビデオストリームを出力することを特徴とする請求項2記載の画像処理装置。

【請求項4】 前記ヘッダ検出ユニットは、
Iピクチャーヘッダ検出器と、
Pピクチャーヘッダ検出器と、
Bピクチャーヘッダ検出器と、
シーケンスヘッダコード検出器と、
グループスタートコード検出器を含み、Pピクチャーヘッダ及びBピクチャーヘッダが検出されると、次に前記Iピクチャーヘッダ、シーケンスヘッダコード、グループスタートコードの一つが検出されるまで前記ビデオストリームを破棄することを特徴とする請求項3記載の画像処理装置。

【請求項5】 前記ヘッダ検出ユニットは、Iピクチャーヘッダ及びPピクチャーヘッダを前記所定のヘッダとして検出し、Bピクチャーを全部或いは一部破棄してIピクチャー及びPピクチャーを含む前記選択されたビデオストリームを出力することを特徴とする請求項2記載の画像処理装置。

【請求項6】 前記ヘッダ検出ユニットは、
Iピクチャーヘッダ検出器と、
Pピクチャーヘッダ検出器と、
Bピクチャーヘッダ検出器と、
シーケンスヘッダコード検出器と、
グループスタートコード検出器を含み、Bピクチャーヘッダが検出されると前記Bピクチャーを全部或いは一部選択的に破棄し、次に前記Iピクチャーヘッダ、前記Pピクチャーヘッダ、シーケンスヘッダコード、グループ

2

スタートコードの一つが検出されるまで前記ビデオストリームを全部或いは一部破棄することを特徴とする請求項5記載の画像処理装置。

【請求項7】 前記ヘッダ検出ユニットは、ユーザデータスタートコード及びエクステンションスタートコードの少なくとも一つを前記所定のヘッダとして検出し、ユーザデータ及びエクステンションデータの少なくとも一つからなる前記選択されたビデオストリームを出力することを特徴とする請求項1、2、3、5いずれか一項記載の画像処理装置。

【請求項8】 前記ヘッダ検出ユニットは、
Iピクチャーヘッダ検出器と、
Pピクチャーヘッダ検出器と、
Bピクチャーヘッダ検出器と、
シーケンスヘッダコード検出器と、
グループスタートコード検出器と、
ユーザデータスタートコード検出器を含み、前記ユーザデータスタートコードが検出されたときには、その前に検出されたヘッダが、Iピクチャーヘッダ、Pピクチャーヘッダ、Bピクチャーヘッダ、シーケンスヘッダコード、及びグループスタートコードのいずれであるかによって、検出された該ユーザデータスタートコードがシーケンス層、グループオブピクチャー層、及びピクチャー層のいずれのものであるかを決定して、所定の階層の前記ユーザデータからなる前記選択されたビデオストリームを出力することを特徴とする請求項7記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に画像処理装置に関し、例えばMPEG (Moving Picture Expert Group) デジタル圧縮を用いた動画像復号化を行う画像処理装置に関する。

【0002】

【従来の技術】MPEGストリームを受信してディスプレイに動画像を表示する従来の画像処理装置の例を図8に示す。図8の画像処理装置は、ストリーム分解ユニット10、可変長逆符号化 (inverse variable length de code) ユニット11、逆量子化ユニット12、逆DCT (Discrete Cosine Transform) ユニット13、加算器14、予測ユニット15、メモリコントローラ16、MPEGデコード用メモリ17、出力回路18、ディスプレイ19、MPEGオーディオデコーダ20、及びスピーカ21を含む。ここで可変長逆符号化ユニット11は、ヘッダ検出回路11-1及び可変長逆符号化回路11-2を含む。またMPEGデコード用メモリ17は、VBVバッファ17-1、I/Pピクチャーバッファ17-2、Pピクチャーバッファ17-3、Bピクチャーバッファ17-4、及びその他のバッファ17-5を含む。その他のバッファ17-5は、オーディオバッフ

3

ア、一般デジタル情報ストリーム用バッファ等を含む。

【0003】ストリーム分解ユニット10は、MPEGストリームをDVD (Digital Video Disc) やパソコンのハードディスク等から受け取る。このMPEGストリームには、MPEG圧縮ビデオ情報、MPEG圧縮オーディオ情報、及びユーザが使用する様々なプログラムやデータを含んだ一般デジタル情報が時分割多重化して含まれている。これは一般にはISO (International Standard Organization) 国際標準のMPEGシステム

ストリーム規格で規定されている。なおMPEG圧縮ビデオ情報は、頻繁に出現する数値を短い符号で表現し稀に出現する数値を長い符号で表現して数値列全体のビット数を削減する可変長符号化、画像を縦横の各周波数成分に変換するDCT、DCT係数を画像内容に応じたビット数で量子化する量子化、過去の画像との差を伝送することにより画像情報を圧縮するDPCM (Differential Pulse Code Modulation) 等の手法によって、MPEG国際画像圧縮規格に従い圧縮されたものである。

【0004】ストリーム分解ユニット10は、伝送されたMPEGストリームを、MPEGビデオストリーム、MPEGオーディオストリーム、及び一般デジタル情報ストリームに分解する。このうちMPEGビデオストリームは、バス30とメモリコントローラ16を介して、MPEGデコード用メモリ17のVBVバッファ17-1内の所定の領域に一時的に格納される。またMPEGオーディオストリーム及び一般デジタル情報ストリームは、その他のバッファ17-5に格納される。このバッファ17-5に格納された圧縮情報のうち、例えばオーディオ情報は、メモリコントローラ16によって読み出されて、MPEGオーディオデコーダ20に供給される。MPEGオーディオデコーダ20はオーディオ情報をデコードし、スピーカ21はデコードされたオーディオ情報を出力する。

【0005】以下、ビデオ情報、オーディオ情報、及び一般デジタル情報のうち、本発明に関連するビデオ情報(画像情報)の処理について詳細に説明する。MPEGに従い圧縮された画像情報は、各フレーム毎に異なったビット数で表現される。即ち、比較的少ないビット数で表現されるフレームもあれば、比較的多いビット数で表現されるフレームもある。フレーム毎のビット数が異なる画像情報が固定のビットレート(伝送速度)で伝送されるために、ストリーム分解ユニット10が受け取る画像情報は、フレーム毎にその伝送時間が異なるものになる。このフレーム毎の伝送時間の違いを吸収するために、VBVバッファ17-1が必要になる。VBVバッファ17-1は、固定のビットレート(伝送速度)で伝送された画像情報をストリーム分解ユニット10を介して受け取り一時的に格納することにより、フレーム毎の伝送時間の違いを吸収する。VBVバッファ1

4

7-1に格納された画像情報の各フレームは、ディスプレイ19への1フレーム表示時間毎に読み出され、以降のデコード処理にかけられる。VBVバッファ17-1がオーバーフロー／アンダーフローしない範囲でバッファ内のビット数を管理することが国際規格によって定められており、VBVバッファ17-1の容量もまた国際規格により定められている。

【0006】VBVバッファ17-1に格納された画像は、メモリコントローラ16及びバス30を介して可変長逆符号化ユニット11に読み出される。可変長逆符号化ユニット11は、可変長符号を固定長符号に逆符号化して、動きベクトルや量子化DCT係数等を抽出する。逆量子化ユニット12は、量子化DCT係数を受け取りこれを逆量子化して、DCT係数を出力する。逆DCTユニット13は、DCT係数を受け取りこれを逆DCTして、周波数領域の画像情報を空間領域の画像情報に戻す。

【0007】なお送信側での符号化及び受信側での復号化(画像復元)は、1つの画像を16x16ピクセルのブロック(マクロブロックと呼ばれる)に分割して、各ブロック毎に行われる。画像間の動きベクトルもまた各ブロックに対して求められる。また送信側でのDCT及び受信側での逆DCTは、各ブロック(マクロブロック)を8x8ピクセルのブロックに更に分割して、8x8ピクセルの各ブロック毎に行われる。

【0008】MPEGデジタル画像圧縮に於ては、現在のフレーム内で予測符号化を行ったIピクチャー(Intra Picture)と、過去のあるフレームを参照画像として現在のフレームの動きベクトルを求め、この動きベクトルを基に参照画像との差分として現在のフレームの予測符号化を行ったPピクチャー(Predictive Picture)と、未来のあるフレームと過去のあるフレームとの両方を参照画像として現在のフレームの動きベクトルを求め、この動きベクトルを基に参照画像との差分として現在のフレームの予測符号化を行ったBピクチャー(Bidirectionally Predictive Picture)との3種類の予測画像が存在する。ここで過去の参照画像となるのは過去のIピクチャー或いは過去のPピクチャーであり、未来の参照画像となるのは未来のPピクチャーである。実際にはBピクチャーを符号化する場合、未来の参照画像となる未来のPピクチャーを先に予測符号化して伝送して、その後Bピクチャーを符号化して伝送する。復号化する側では、過去のIピクチャー或いはPピクチャーと前もって伝送された未来のPピクチャーとを用いて、現在のBピクチャーを逆符号化する。このような動きベクトルを用いた復号化を行うのが予測ユニット15である。

【0009】現在デコードされる画像がIピクチャーの場合、加算器14は逆DCTユニット13からの画像情報を素通りさせる。このIピクチャーは、バス30及びメモリコントローラ16を介して、MPEGデコード用

5

メモリ17のI/Pピクチャバッファ17-2に格納される。I/Pピクチャバッファ17-2に格納されたIピクチャは、以降のPピクチャ或いはBピクチャの復元において用いられる。またこのIピクチャは画像表示のために、バス30を介して出力回路18に供給される。

【0010】現在デコードされる画像がPピクチャの場合、V B Vバッファ17-1に格納された現在のフレーム(Pピクチャ)が可変長逆符号化ユニット11に読み込まれて、逆量子化ユニット12及び逆DCTユニット13を介して加算器14に供給される。この現在のフレームの各ブロックは、過去の参照画像の対応するブロックとの差分である。過去の参照画像(Pピクチャ或いはIピクチャ)は既にデコードされて、I/Pピクチャバッファ17-2或いはPピクチャバッファ17-3に格納されている。この過去の参照画像は、メモリコントローラ16及びバス30を介して予測ユニット15に供給される。予測ユニット15には更に、可変長逆符号化ユニット11で抽出された動きベクトルが供給される。予測ユニット15は、供給された動きベクトルを基に、現在のフレームの各ブロックに対応する過去の参照画像の対応部分を加算器14に供給する。これによって、現在のフレームの各ブロックと過去の参照画像の対応する場所とが加算されて、現在のフレームの復元画像が得られる。復元されたPピクチャは、I/Pピクチャバッファ17-2或いはPピクチャバッファ17-3に格納される。格納されたPピクチャは、以降のPピクチャ或いはBピクチャの復元において用いられる。またこのPピクチャは画像表示のために、バス30を介して出力回路18に供給される。

【0011】現在デコードされる画像がBピクチャの場合、V B Vバッファ17-1に格納された現在のフレーム(Bピクチャ)が可変長逆符号化ユニット11に読み込まれて、逆量子化ユニット12及び逆DCTユニット13を介して加算器14に供給される。この現在のフレームの各ブロックは、過去及び未来の参照画像の対応するブロックとの差分である。過去及び未来の参照画像(Pピクチャ或いはIピクチャ)は既にデコードされて、I/Pピクチャバッファ17-2或いはPピクチャバッファ17-3に格納されている。この過去及び未来の参照画像は、メモリコントローラ16及びバス30を介して予測ユニット15に供給される。予測ユニット15には更に、可変長逆符号化ユニット11で抽出された動きベクトルが供給される。予測ユニット15は、供給された動きベクトルを基に、現在のフレームの各ブロックに対応する過去及び未来の参照画像の部分を加算器14に供給する。これによって、現在のフレームの各ブロックと過去及び未来の参照画像の対応する画像部分とが加算されて、現在のフレームの復元画像が得られる。復元されたBピクチャは画像表示のために、バ

6

ス30を介して出力回路18に供給される。なおBピクチャバッファ17-4は、デコード処理中の画像を格納するために用いられる。

【0012】このようにして出力回路18に供給されたIピクチャ、Pピクチャ、及びBピクチャは、ディスプレイ用のビデオ信号としてディスプレイ19に供給される。ディスプレイ19は、供給されたビデオ信号をスクリーンに表示する。一般的には、Iピクチャは0.5秒に一回(15フレームに1フレーム)の割合で伝送される。時間方向の画像間の相関の大きさに依存するが、一般にIピクチャが圧縮率が最も低く、画像表現に必要な情報量(ビット数)が最も多い。Bピクチャが最も圧縮率が高く、画像表現に必要な情報量(ビット数)が最も少ない。PピクチャはIピクチャよりも圧縮率が高く、Bピクチャよりも圧縮率が低い。

【0013】なおI/P/Bピクチャの識別は、可変長逆符号化ユニット11がMPEGデータストリーム中から抽出したピクチャヘッダ以降を参照することで行うことが出来る。図9は、可変長逆符号化ユニット11のヘッダ検出回路11-1の詳細を示す図である。図2に示されるように、ヘッダ検出回路11-1は、ピクチャヘッダ格納レジスタ31、シフトレジスタ32、及び比較器33を含む。一般にMPEGストリームはシリアルで伝送されるので、図9の例では、V B Vバッファ17-1から供給されるビデオストリームもシリアルであると仮定している。シフトレジスタ32が、このシリアルなビデオストリームをパラレルデータに変換する。このシリアル・パラレル変換は本質的でなく、V B Vバッファ17-1から供給されるビデオストリームがパラレルであるとして、シフトレジスタ32の代わりに単なるレジスタを用いてもよい。

【0014】ピクチャヘッダ格納レジスタ31はI/P/Bピクチャを識別するピクチャヘッダ情報を格納する。比較器33は、シフトレジスタ32から供給されるデータとピクチャヘッダ格納レジスタ31に格納されるピクチャヘッダ情報とを比較して、現在供給されるピクチャが、I/P/Bのいずれであるかを判定する。この比較器33は例えば、XOR回路等を用いることによって構成できる。

【0015】MPEGビデオストリームは、各階層のデータの開始ポイントを示すシーケンスヘッダコード、グループスタートコード、ピクチャスタートコード、スライススタートコード等を含み、全て16進数の「000001xx」と規定される。従って全てのスタートコードは、2進数で「0」が23個連続してその後「1」がくることになる。この「0」が23個連続しその後「1」がくるパターンは、これらのスタートコード以外には存在しないように、ビデオストリームは符号化されている。また「xx」によってスタートコードの種類を規定するようになり、ピクチャスタートコードの場合はxx=

00である。このピクチャースタートコードに後続してI/P/Bのピクチャータップを示すコードが送られる。従って、ピクチャースタートコードとピクチャータップを纏めてピクチャータップとして考えて、このピクチャータップのビットパターンによってピクチャータップの開始を判定すると共に、ピクチャータップを識別することができる。図9の例に於て比較器33は、ピクチャータップ識別後に可変長逆符号化回路11-2に対して起動信号を入力して、ピクチャータップに対する逆符号化処理を開始させる。

【0016】図8の画像処理装置に於てビデオの早送りを実現する場合、DVD等から供給されたMPEGストリームの処理として、Iピクチャータップのみの処理による早送り再生或いはBピクチャータップスキップ処理による早送り再生が一般的である。Iピクチャータップのみの再生或いはBピクチャータップスキップ再生が一般的である理由を以下に説明する。

【0017】例えば5倍のスピードで早送りされたビデオストリームの、MPEGビデオデコーダ(可変長逆符号化ユニット11、逆量子化ユニット12、逆DCTユニット13、加算器14、及び予測ユニット15)が全て処理するには、5倍の処理スピードが要求される。このような処理スピードは、経済的要件を考えると実現することが難しい。またディスプレイ19が5倍のスピードで画像情報を表示することが不可能であるから、5倍のスピードで全てのMPEGビデオストリームを処理すること自体に意味がない。

【0018】ディスプレイ19の表示能力を考慮した場合、早送り再生として意味があるのは、画像フレームを飛び飛びに表示することである。従って、MPEGビデオデコーダ側も5倍のスピードで処理をするのではなく、5フレームに1フレームを処理すればよいことになる。但しIピクチャータップは画像内符号化されているので、単独で与えられてもデコード出来るが、Pピクチャータップ或いはBピクチャータップは画像間符号化されているので、単独で与えられたのではデコード不可能である。即ち、Pピクチャータップは過去のIピクチャータップ或いは過去のPピクチャータップに依存し、またこの過去のPピクチャータップは更に過去のピクチャータップに依存する。従って、あるPピクチャータップの処理を一回スキップすると、その後のPピクチャータップ処理が不可能になる。同様に、過去及び未来のI/Pピクチャータップに依存するBピクチャータップも、Pピクチャータップ処理をスキップした場合には復元不可能となる。

【0019】従って、早送り再生を実行する第1の方法は、単独でも復元可能なIピクチャータップのみを再生することである。また第2の方法は、Bピクチャータップのみを一部或いは全部スキップして、Iピクチャータップ及びPピクチャータップ或いはそれに加えてBピクチャータップの一部を再生することである。

【0020】

【発明が解決しようとする課題】しかしながら図8の従来の画像処理装置に於ては、上述の2つの早送り再生処理に必要なピクチャータップの識別を、ヘッダ検出回路11-1によって行うことになる。この場合、VBVバッファ17-1からバス30を介してヘッダ検出回路11-1に供給されるビデオストリームは、全てのピクチャータップを含むストリームである。またストリーム分解ユニット10からバス30を介してVBVバッファ17-1に書き込まれるビデオストリームも、全てのピクチャータップを含むストリームである。

【0021】従って早送り再生の場合、バス30を介してMPEGデコードメモリ17にビデオストリームを読み書きする処理は、大量かつ高速なデータ転送を行う必要がある。従って、バス30のデータ転送能力に大幅な負担がかかると共に、ビデオストリームの速度が、メモリに対する書き込み・読み出しのアクセススピードの限界を越えてしまう可能性がある。

【0022】従って本発明は、MPEGデコード用メモリに対して過剰なデータ読み書きを行うことなく、ビデオの早送り再生を実現する画像処理装置を提供することを目的とする。

【0023】

【課題を解決するための手段】請求項1の発明に於ては、多重化されたデータストリーム中のビデオストリームをデコードして画像情報を表示するための画像処理装置は、該データストリームを受け取り該ビデオストリームを抽出するストリーム分解ユニットと、該ストリーム分解ユニットから該ビデオストリームを受け取り、該ビデオストリームから所定のヘッダを検出して、該所定のヘッダ及び該所定のヘッダに付随するデータからなる選択されたビデオストリームを出力するヘッダ検出ユニットと、該選択されたビデオストリームを格納するメモリと、該メモリに格納された該選択されたビデオストリームをデコードするビデオデコーダを含むことを特徴とする。

【0024】上記発明に於ては、ヘッダ検出ユニットをストリーム分解ユニットの直後に設けることによって、データストリームの内で必要なデータのみをデコード用メモリに書き込むようにする。これによって、デコード用メモリに書き込む以前に不要なデータを廃棄することが出来るので、デコード用メモリに要求されるデータ書き込み/読み出しのスピードを削減することが出来る。

【0025】請求項2の発明に於ては、請求項1記載の画像処理装置に於て、前記データストリームは、前記画像情報を早送り再生するために通常再生より早いデータレートで供給されることを特徴とする。上記発明に於ては、画像の早送り再生に於て、デコード用メモリに書き込む以前にビデオストリームの不要なデータを廃棄することにより、早送り再生時にデコード用メモリに要求されるデータ書き込み/読み出しのスピードを削減するこ

とが出来る。

【0026】請求項3の発明に於ては、請求項2記載の画像処理装置に於て、前記ヘッダ検出ユニットは、Iピクチャーヘッダを前記所定のヘッダとして検出し、Pピクチャー及びBピクチャーを破棄してIピクチャーのみからなる前記選択されたビデオストリームを出力することを特徴とする。

【0027】上記発明に於ては、デコード用メモリに対してデータ書き込み/読み出しのスピードを過大に要求することなく、Iピクチャーのみを用いた画像の早送り再生を行うことが出来る。請求項4の発明に於ては、請求項3記載の画像処理装置に於て、前記ヘッダ検出ユニットは、Iピクチャーヘッダ検出器と、Pピクチャーヘッダ検出器と、Bピクチャーヘッダ検出器と、シーケンスヘッダコード検出器と、グループスタートコード検出器を含み、Pピクチャーヘッダ及びBピクチャーヘッダが検出されると、次に前記Iピクチャーヘッダ、シーケンスヘッダコード、グループスタートコードの一つが検出されるまで前記ビデオストリームを破棄することを特徴とする。

【0028】上記発明に於ては、ビデオストリームの各ヘッダを検出することによって、デコード用メモリに対してデータ書き込み/読み出しのスピードを過大に要求することなく、Iピクチャーのみを用いた画像の早送り再生が可能になる。請求項5の発明に於ては、請求項2記載の画像処理装置に於て、前記ヘッダ検出ユニットは、Iピクチャーヘッダ及びPピクチャーヘッダを前記所定のヘッダとして検出し、Bピクチャーを一部或いは全部破棄してIピクチャー及びPピクチャー及びBピクチャーの一部からなる前記選択されたビデオストリームを出力することを特徴とする。

【0029】上記発明に於ては、デコード用メモリに対してデータ書き込み/読み出しのスピードを過大に要求することなく、Iピクチャー及びPピクチャーのみを用いた画像の早送り再生を行うことが出来る。請求項6の発明に於ては、請求項5記載の画像処理装置に於て、前記ヘッダ検出ユニットは、Iピクチャーヘッダ検出器と、Pピクチャーヘッダ検出器と、Bピクチャーヘッダ検出器と、シーケンスヘッダコード検出器と、グループスタートコード検出器を含み、Bピクチャーヘッダが検出されると、次に前記Iピクチャーヘッダ、前記Pピクチャーヘッダ、シーケンスヘッダコード、グループスタートコードの一つが検出されるまで前記ビデオストリームを破棄することを特徴とする。

【0030】上記発明に於ては、ビデオストリームの各ヘッダを検出することによって、デコード用メモリに対してデータ書き込み/読み出しのスピードを過大に要求することなく、Iピクチャー及びPピクチャーのみを用いた画像の早送り再生が可能になる。

【0031】請求項7の発明に於ては、請求項1、2、

3、5いずれか一項記載の画像処理装置に於て、前記ヘッダ検出ユニットは、ユーザデータスタートコード及びエクステンションスタートコードの少なくとも一つを前記所定のヘッダとして検出し、ユーザデータ及びエクステンションデータの少なくとも一つからなる前記選択されたビデオストリームを出力することを特徴とする。

【0032】上記発明に於ては、ビデオストリームのユーザデータ及びエクステンションデータの少なくとも一つを選別してメモリに格納することによって、ユーザデータ或いはエクステンションデータを他のデータとは別個に扱うことが出来ると共に、デコード用メモリに要求されるデータ書き込み/読み出しのスピードを削減することが出来る。

【0033】請求項8の発明に於ては、請求項7記載の画像処理装置に於て、前記ヘッダ検出ユニットは、Iピクチャーヘッダ検出器と、Pピクチャーヘッダ検出器と、Bピクチャーヘッダ検出器と、シーケンスヘッダコード検出器と、グループスタートコード検出器と、ユーザデータスタートコード検出器とを含み、前記ユーザデータスタートコードが検出されたときには、その前に検出されたヘッダが、Iピクチャーヘッダ、Pピクチャーヘッダ、Bピクチャーヘッダ、シーケンスヘッダコード、及びグループスタートコードのいずれであるかによって、検出された該ユーザデータスタートコードがシーケンス層、グループオブピクチャー層、及びピクチャー層のいずれのものであるかを決定して、所定の階層の前記ユーザデータからなる前記選択されたビデオストリームを出力することを特徴とする。

【0034】上記発明に於ては、ビデオストリームの各ヘッダを検出することによってユーザデータを他のデータとは別個に扱うことが可能になると共に、デコード用メモリに要求されるデータ書き込み/読み出しのスピードを削減することが出来る。

【0035】

【発明の実施の形態】以下に本発明の実施例を添付の図面を用いて説明する。図1は、本発明による画像処理装置の実施例を示す。図1に於て、図8と同一の構成要素は同一の符号によって参照され、その詳細な説明は省略される。本発明による画像処理装置に於ては、ヘッダ検出ユニットをストリーム分解ユニットの直後に設けることによって、MPEGストリームの内で必要なデータのみをMPEGデコード用メモリに書き込むようにする。これによって、MPEGデコード用メモリに書き込む以前に不要なデータを廃棄することが出来るので、MPEGデコード用メモリに要求されるデータ書き込み/読み出しのスピードを削減することが出来る。

【0036】図1の画像処理装置は、ストリーム分解ユニット10、ヘッダ検出ユニット40、可変長逆符号化ユニット11、逆量子化ユニット12、逆DCTユニット13、加算器14、予測ユニット15、メモリコント

ローラ16、MPEGデコード用メモリ17、出力回路18、ディスプレイ19、MPEGオーディオデコーダ20、及びスピーカ21を含む。

【0037】ストリーム分解ユニット10は、DVD等のMPEGストリーム発生装置から伝送されたMPEGストリームを、MPEGビデオストリーム、MPEGオーディオストリーム、及び一般デジタル情報ストリームに分解する。ストリーム分解ユニット10から出力されたMPEGオーディオストリームと一般デジタル情報ストリームは、バス30とメモリコントローラ16を介して、MPEGデコード用メモリ17のVBVバッファ17-1及びその他のバッファ17-5内の所定の領域に一時的に格納される。このVBVバッファ17-1及びその他のバッファ17-5に格納された圧縮情報のうち、例えばオーディオ情報は、メモリコントローラ16によって読み出されて、MPEGオーディオデコーダ20に供給される。MPEGオーディオデコーダ20はオーディオ情報をデコードし、スピーカ21はデコードされたオーディオ情報を出力する。

【0038】ストリーム分解ユニット10から出力されたMPEGビデオストリームは、ヘッダ検出ユニット40に供給される。ヘッダ検出ユニット40は、所定のヘッダの付いたデータストリームだけを選択して、MPEGデコード用メモリ17のVBVバッファ17-1内の所定の領域に格納する。

【0039】Iピクチャーのみの選択による早送り再生は以下のようにして実現される。ヘッダ検出ユニット40は、早送りのスピードに対応したMPEGビデオストリームをストリーム分解ユニット10から受け取る。供給されたMPEGビデオストリームから、ヘッダ検出ユニット40は、シーケンスヘッダコード、グループスタートコード、及びピクチャーヘッダを検出する。

【0040】図2に、MPEGビデオストリームの大略を模式的に示す。実際のMPEGビデオストリームはより詳細に定義されているが、説明の都合上、本発明に関連する部分のみを簡略化して図2に示してある。図2に示されるように、MPEGビデオストリームは、シーケンスヘッダコードで始まり、シーケンスヘッダコードに続く領域には、長い時間単位で画像シーケンスを定義する様々なパラメータが含まれる。これらのパラメータの例としては、画像の縦のライン数、横の画素数、アスペクト比、VBVバッファの大きさ等が挙げられる。これらのパラメータに続いて、シーケンス階層に於て、ユーザが自由に使用できるユーザデータの開始を示すユーザデータスタートコード及びユーザデータが伝送される。

【0041】これに続いて、0.5秒程度の時間単位(10~20程度のフレーム数)のピクチャーの纏まり(グループオブピクチャー:GOP)の開始を示すグループスタートコードが伝送される。グループスタートコードに続く領域には、そのグループオブピクチャーに対して

定義される様々なパラメータが含まれる。例えば、シーケンスの先頭からの時間を示すパラメータ等が含まれる。これらのパラメータに続いて、グループオブピクチャー階層に於て、ユーザが自由に使用できるユーザデータの開始を示すユーザデータスタートコード及びユーザデータが伝送される。

【0042】これに続いて、1フレーム或いは1フィールドの開始を示すピクチャースタートコードが伝送される。ピクチャースタートコードに続く領域には、そのピクチャーに対して定義される様々なパラメータが含まれる。これらのパラメータの例としては、動きベクトルの精度を示すパラメータ、I/P/Bのピクチャータイプを示すピクチャーコーディングタイプ等がある。ここでは、ピクチャースタートコード及び後続するピクチャーコーディングタイプを纏めてピクチャーヘッドと呼ぶ。これらのパラメータに続いて、ピクチャー階層に於て、ユーザが自由に使用できるユーザデータの開始を示すユーザデータスタートコード及びユーザデータが伝送される。

【0043】これに続いてスライススタートコードで分割された画像データが伝送される。図1を再び参照して、ヘッダ検出ユニット40は、シーケンスヘッダコード或いはグループスタートコードを検出したとき、それに続くMPEGストリームをVBVバッファ17-1に格納しながらピクチャーヘッダを検出する。検出されたピクチャーヘッダがIピクチャーヘッダの場合、それに続くMPEGストリームをVBVバッファ17-1に格納する。検出されたピクチャーヘッダがPピクチャーヘッダ或いはBピクチャーヘッダの場合、それに続くMPEGストリームを次のシーケンスヘッダコード、グループスタートコード、或いはピクチャーヘッダが来るまで破棄する。これによってI/P/BピクチャーのうちでIピクチャーのみが、MPEGデコード用メモリ17のVBVバッファ17-1内の所定の領域に格納される。VBVバッファ17-1に格納されたIピクチャーは、メモリコントローラ16及びバス30を介して可変長逆符号化ユニット11に読み出される。可変長逆符号化ユニット11は、逆符号化を行い可変長符号を固定長符号に変換して、量子化DCT係数等を抽出する。

【0044】逆量子化ユニット12は、量子化DCT係数を受け取りこれを逆量子化して、DCT係数を出力する。逆DCTユニット13は、DCT係数を受け取りこれを逆DCTして、周波数領域の画像情報を空間領域の画像情報に戻す。この場合処理対象がIピクチャーであるから、画像間予測のための処理を行う予測ユニット15は動作しない。また加算器14は、逆DCTユニット13から供給される空間領域の画像情報をそのまま素通りさせる。この空間領域の画像情報は、一旦MPEGデコード用メモリ17を介して、出力回路18に供給される。出力回路18は早送りビデオ信号を出力し、ディス

プレイ19によって早送り画像として表示される。

【0045】このように、ヘッダ検出ユニット40をストリーム分解ユニット10の直後に設けることによって、MPEGストリームの中で必要なデータのみをMPEGデコード用メモリ17に書き込むようにする。これによって、MPEGデコード用メモリ17に書き込む以前に不要なデータを廃棄することが出来るので、MPEGデコード用メモリ17に要求されるデータ書き込み／読み出しのスピードを削減することが出来る。なおIピクチャーのみを選択してMPEGデコード用メモリ17に書き込むのと同様に、ヘッダ検出ユニット40に於て、Iピクチャー及びPピクチャーのみ、或いはIピクチャー及びPピクチャーとBピクチャーの一部を選択（即ちBピクチャーをスキップ、或いはBピクチャーの一部をスキップ）してMPEGデコード用メモリ17に書き込むように構成してもよい。またヘッダ検出ユニット40は、ユーザデータスタートコードを識別して、各階層毎にユーザデータを選別する回路を含んでもよい。

【0046】図3は、Iピクチャーのみを選択するためのヘッダ検出ユニット40の第1の実施例の回路例を示す。図3のヘッダ検出ユニット40は、オア回路41、8進カウンタ42、比較器43、遅延回路44、レジスタ45及び46、シーケンスヘッダ比較器47、GOPヘッダ比較器48、Iピクチャーヘッダ比較器49、Pピクチャーヘッダ比較器50、Bピクチャーヘッダ比較器51、RSフリップフロップ52、アンド回路53、FIFOメモリ54、アップダウンカウンタ55、比較器56、及びメモリインターフェース回路57を含む。図4に、図3のヘッダ検出ユニット40のタイムチャートを示す。以下、図3及び図4を参照して、図3のヘッダ検出ユニット40の動作を説明する。

【0047】ストリーム分解ユニット40から供給されたMPEGビデオストリームは、遅延回路44及びレジスタ46に格納される。レジスタ46は、48ビットのデータを格納するデータであり、この48ビットは、各ヘッダ（スタートコード）の長さに対応する。実際には、図2に示されるピクチャースタートコードとピクチャータイプとは、合わせて48ビット以下のビット列で表される。しかしMPEGビデオストリームが8ビット単位で供給されるので、これに合わせて8ビットの単位で区切るために、レジスタ46は48ビット長とされている。

【0048】図4に示されるように、遅延回路44に入力されたMPEGビデオストリームは、48クロック分遅延されて出力される。レジスタ46に格納された48ビットのデータは、シーケンスヘッダ比較器47、GOPヘッダ比較器48、Iピクチャーヘッダ比較器49、Pピクチャーヘッダ比較器50、Bピクチャーヘッダ比較器51に供給されて、各ヘッダ（スタートコード）と比較される。比較器47乃至51の各々は、レジスタ4

6に格納された48ビット長のデータが対応するヘッダパターンと一致するときに、HIGH信号を出力する。シーケンスヘッダ比較器47、GOPヘッダ比較器48、及びIピクチャーヘッダ比較器49の出力は、フリップフロップ52のセット入力に供給され、Pピクチャーヘッダ比較器50及びBピクチャーヘッダ比較器51の出力は、フリップフロップ52のリセット入力に供給される。

【0049】レジスタ46に48ビットのデータを格納するには、48クロック分の時間がかかる。従って、MPEGビデオストリームのIピクチャーヘッダが検出されてIピクチャーヘッダ比較器49の出力がHIGHになるのは、MPEGビデオストリームのIピクチャーヘッダの先頭から48クロック後である。従って図4に示されるように、遅延回路44によって48クロック分遅延されたIピクチャーヘッダの先頭と、Iピクチャーヘッダ比較器48の出力とは時間的に一致する。またフリップフロップ52は、遅延回路44によって遅延されたIピクチャーヘッダの先頭に一致するように、その出力が変化する。この場合はIピクチャーヘッダが検出されたので、その出力はHIGHになる。

【0050】遅延回路44から出力される遅延されたMPEGビデオストリームはシリアルデータであり、これが8ビットのレジスタ45に格納されて、8ビットの平行データにシリアル-平行変換される。8ビットの平行データに変換されたMPEGビデオストリームは、FIFOメモリ54に書き込まれる。この際、レジスタ45に8ビット分のデータが溜まるまで、レジスタ45からFIFOメモリ54にデータを書き込むことは出来ないで、そのタイミングを制御するために比較器43及びアンド回路53が用いられる。

【0051】比較器47乃至51の出力a乃至eは、オア回路41に供給されて、いずれかのヘッダが検出されたタイミングで8進カウンタ42をリセットする。リセットされた8進カウンタ42は、クロックパルス数を0から計数して、計数結果を比較器43に供給する。比較器43は、固定入力"7"と計数結果とを比較して、両者が同一の時にHIGH信号を出力する。即ち図4に示されるように、8進カウンタ42の計数結果が7の時に、比較器43の出力はHIGHとなる。この比較器43の出力がHIGHになるのは、8ビットのデータがレジスタ45に格納されて、8ビットの平行データを読み出し可能になったタイミングである。

【0052】比較器43の出力はアンド回路53の一方の入力に与えられ、アンド回路53のもう一方の入力にはフリップフロップ52の出力が与えられる。従ってアンド回路53は、シーケンスヘッダ、GOPヘッダ（グループスタートコード）、或いはIピクチャーヘッダが検出されたときに、8進カウンタが7を係数するタイミングで、HIGH信号を出力する。このアンド回路53

15

の出力は、FIFOメモリ54のwrite入力に与えられる。従って図4に示されるように、FIFOメモリ54のwrite入力は、レジスタ45から8ビットの平行データを読み出し可能となったタイミングで与えられる。

【0053】このようにして、レジスタ45でシリアル-平行変換された8ビットデータが、FIFOメモリ54に書き込まれる。アンド回路53の出力はまた、アップダウンカウンタ55のアップカウント入力に与えられる。即ち、FIFOメモリ54に8ビットデータが一回書き込まれる度に、アップダウンカウンタ55のカウント値出力は1だけ増加する。この様子が図4に示される。比較器56は、アップダウンカウンタ55のカウント値出力と固定値"0"とを受け取り両者を比較し、カウント値が0以上の時にHIGH信号を出力する。

【0054】比較器56からHIGH信号が与えられると、メモリインターフェース回路57は、FIFOメモリ54にread要求信号を供給して、FIFOメモリ54から8ビットデータを読み出す。メモリインターフェース回路57からFIFOメモリ54へのread要求信号は、アップダウンカウンタ55のダウンカウント入力にも与えられる。従って、メモリインターフェース回路57がFIFOメモリ54から8ビットデータを一回読み出す度に、アップダウンカウンタ55のカウント値が1だけ減少する。つまりアップダウンカウンタ55のカウント値は、FIFOメモリ54に格納されている8ビットデータの数を示すことになる。このようにして、インターフェース回路57は、FIFOメモリ54にデータが格納されている限りは、データを読み出し続ける。メモリインターフェース回路57が読み出したデータは、図1のMPEGデコード用メモリ17のVBVバッファ17-1内に格納される。

【0055】なお図4に示されるように、次のピクチャーヘッダがPピクチャーヘッダである場合、Pピクチャーヘッダ比較器50の出力がHIGHとなり、フリップフロップ52がリセットされてその出力がLOWとなる。従ってPピクチャーヘッダ以降のデータは、次にシーケンスヘッダ、GOPヘッダ、或いはIピクチャーヘッダが来るまでFIFOメモリ54には書き込まれない。

【0056】以上のようにして、Iピクチャーのみを選択して、MPEGデコード用メモリ17の所定の領域に格納することが出来る。従って、早送り再生をするときに、MPEGデコード用メモリ17に対して過剰な書き込み・読み出しを要求することなく、Iピクチャーのみを再生することが出来る。

【0057】図5は、I/Pピクチャーのみを選択するためのヘッダ検出ユニット40の第2の実施例の回路例を示す。図3のヘッダ検出ユニット40は、オア回路41、8進カウンタ42、比較器43、遅延回路44、レ

16

ジスタ45及び46、シーケンスヘッダ比較器47、GOPヘッダ比較器48、Iピクチャーヘッダ比較器49、Pピクチャーヘッダ比較器50、Bピクチャーヘッダ比較器51、RSフリップフロップ52A、アンド回路53、FIFOメモリ54、アップダウンカウンタ55、比較器56、及びメモリインターフェース回路57を含む。図5のヘッダ検出ユニット40は、図3のヘッダ検出ユニットと、RSフリップフロップ52Aを除いて同一である。

10 【0058】即ちI/Pピクチャーを選択してBピクチャーをスキップするヘッダ検出ユニット40に於ては、RSフリップフロップ52Aは、シーケンスヘッダ、GOPヘッダ、Iピクチャーヘッダ、或いはPピクチャーヘッダが来たときにフリップフロップ52Aをセットし、Bピクチャーヘッダが来たときのみフリップフロップ52Aをリセットする。このようにして、I及びPピクチャーのみを選択して、MPEGデコード用メモリ17の所定の領域に格納することが出来る。従って、早送り再生をするときに、MPEGデコード用メモリ17に
20 対して過剰な書き込み・読み出しを要求することなく、I及びPピクチャーのみを再生することが出来る。

【0059】図6は、ユーザデータを選別するためのヘッダ検出ユニット40の第3の実施例の回路例を示す。図6のヘッダ検出ユニット40は、オア回路41、8進カウンタ42、比較器43、遅延回路44、レジスタ45及び46、シーケンスヘッダ比較器47、GOPヘッダ比較器48、Iピクチャーヘッダ比較器49、Pピクチャーヘッダ比較器50、Bピクチャーヘッダ比較器51、RSフリップフロップ52A、アンド回路53A、
30 FIFOメモリ54、アップダウンカウンタ55、比較器56、メモリインターフェース回路57を含む。上記各要素は、図3のヘッダ検出ユニットと、アンド回路53Aを除いて同一である。アンド回路53Aは、図3の2つの入力に加えて、追加された回路部分からの入力を受け取る3入力のアンド回路となっている。図6のヘッダ検出ユニット40は更に、ユーザデータを識別するために追加された部分として、ユーザヘッダ比較器60と、RSフリップフロップ61及び62と、アンド回路63と、インバータ64と、FIFO回路71を含む。
40 FIFO回路71は、FIFOメモリ54、アップダウンカウンタ55、及び比較器56からなるFIFO回路70と同一構成のものである。

【0060】図6のヘッダ検出ユニット40は、図2に示されるMPEGビデオストリームに於て、シーケンス階層のユーザヘッダ（ユーザデータスタートコード）を検出して、シーケンス階層のユーザデータを他のデータとは別個にメモリインターフェース回路57に供給するものである。このような構成とすることによって、図1のMPEGデコード用メモリ17のVBVバッファ17-1内で、シーケンス階層のユーザデータを他のデータ

17

とは別の専用領域に格納することが出来る。

【0061】図6のヘッダ検出ユニット40に於て、ユーザヘッダ比較部60は、レジスタ46に格納された48ビット長のデータが、ユーザデータスタートコードのビットパターンに一致するか否かを検出する。一致する場合には、HIGH信号を出力してフリップフロップ62をセットする。このフリップフロップ62は次にヘッダが来るとリセットされる。従ってフリップフロップ62の出力は、ユーザヘッダ及びそれに後続するユーザデータの期間のみHIGHになる。

【0062】なおMPEGビデオストリームに於て、ユーザデータスタートコード（ユーザヘッダ）は、シーケンス層、GOP（グループオブデータ）層、及びピクチャー層に関わらず同一のビットパターンである。従って、ユーザヘッダ比較器60だけを用いたのでは、検出したユーザヘッダ及びそれに後続するユーザデータがどの階層のものか分からない。

【0063】フリップフロップ61は、ユーザヘッダ比較器60が検出したユーザヘッダがどの階層に属するのかを識別するためのものである。フリップフロップ61のセット入力にはシーケンスヘッダ比較器47の出力

(a)が与えられ、リセット入力にはGOPヘッダ比較器48、Iピクチャーヘッダ比較器49、Pピクチャーヘッダ比較器50、及びBピクチャーヘッダ比較器51の出力(b乃至e)が与えられる。従ってフリップフロップ61は、現在の階層がシーケンス層である場合のみ、出力としてHIGH信号を供給する。

【0064】従って、フリップフロップ61の出力とフリップフロップ62の出力とのANDをとることによって、シーケンス層のユーザヘッダを検出することが出来る。即ち、フリップフロップ61の出力とフリップフロップ62の出力を受け取るAND回路63は、シーケンス層のユーザヘッダが到来したときのみ、その出力をHIGHにする。

【0065】FIFO回路71は、シーケンス層のユーザヘッダ検出を示す信号を書き込み信号writeとして受け取り、レジスタ45に格納された8ビットの平行データを格納する。FIFO回路71は、次々とシーケンス層のユーザデータを読み込み、保持しているデータがある限りは、メモリインターフェース回路57に対して書き込み要求信号を供給し続ける。メモリインターフェース回路57は、書き込み要求信号を受け取ると、読み込み要求信号readをFIFO回路71に与え、データを読み込む。なおAND回路63の出力は、インバータ64を介してAND回路53Aに入力される。従ってシーケンス層のユーザデータは、FIFO回路70には書き込まれない。

【0066】このようにして、シーケンス層のユーザデータを他のMPEGビデオストリームとは別個に、メモリインターフェース回路57に供給することが出来る。

18

従って図1のMPEGデコード用メモリ17のVBVバッファ17-1内で、シーケンス階層のユーザデータを他のデータとは別の専用領域に格納することが出来る。

【0067】上述の第3の実施例においては、シーケンス層のユーザデータを選別する例を示したが、図6と同様の構成によって任意の層のユーザデータを選別可能であることは明らかである。図7は、GOP層のユーザデータを選別するためのヘッダ検出ユニット40の第4の実施例の回路例を示す。図7のヘッダ検出ユニットは、フリップフロップ61に供給されるセット信号及びリセット信号の組合せのみが、図6のヘッダ検出ユニットと異なる。図7に於ては、フリップフロップ61は、GOPヘッダ検出時のみセットされ、それ以外のヘッダ検出時にはリセットされる。従ってフリップフロップ61の出力は、現在の階層がGOP層の場合のみHIGHになる。またフリップフロップ62の出力がHIGHとなるのは、ユーザヘッダが検出された場合である。従って、フリップフロップ61の出力とフリップフロップ62の出力とのANDをとることによって、GOP層のユーザヘッダ及びユーザデータのみを検出することが出来る。

【0068】また図6の回路に図7のGOP層ユーザデータ選別回路を追加して、シーケンス層のユーザデータとGOP層のユーザデータとを各々別々に選別できるようにしてもよい。またシーケンス層、GOP層、及びピクチャー層の各々のユーザデータを別々に選別できるように、同様に構成されたピクチャー層ユーザデータ選別回路を更に付け加えてもよい。

【0069】例えばGOP層のユーザデータは、テレテキストなどのテキスト型デジタルデータ転送に用いることが出来る。これによって、そのGOPのピクチャー群と関連したテキスト情報を画面に表示することが出来る。具体的には、例えば料理番組で料理の材料をテキストデータとして画面と関連づけて伝送し、対応する画面と共に料理の材料を文字表示することが出来る。もし視聴者が文字は邪魔であると考えるならば、文字の表示を消すことが出来る。通常のテレビ映像などでは、文字情報が画像情報と一体となってテレビ信号として伝送されるため、このように文字表示だけ消したりすることが出来ない。また文字情報として各国語のテキストを伝送し、視聴者は自分の好みの言語或いは母国語のテキスト情報を表示させるといったことが可能となる。

【0070】上記第3及び第4の実施例に於ては、このような処理を早送り再生で行う場合、不必要なユーザデータを破棄して、必要なユーザデータのみをMPEGデコード用メモリ17に格納することが出来る。従って、MPEGデコード用メモリ17に対するデータ書き込み・読み出しのスピードを削減することが出来る。また早送り再生ではなく通常のスピードの再生処理の場合であっても、不必要なデータを破棄することによって、MPEGデコード用メモリ17からストリームを読み出す際

に読み出しスピードを削減できるので有用である。

【0071】また同様の構成によって、ユーザデータだけでなく、エクステンションスタートコード及びそれに後続するエクステンションデータを選別できるようにしてもよい。本発明は、MPEGを適用する実施例に基づいて説明されたが、MPEGに限定されるものではなく、様々なタイプの画像情報多重化データに適用することができる。また本発明は、上述の実施例に限定されるものではなく、特許請求の範囲に示される本発明の範囲を逸脱することなく、様々な変形及び修正が可能である。

【0072】

【発明の効果】請求項1の発明に於ては、ヘッダ検出ユニットをストリーム分解ユニットの直後に設けることによって、データストリームの中で必要なデータのみをデコード用メモリに書き込むようにする。これによって、デコード用メモリに書き込む以前に不要なデータを廃棄することが出来るので、デコード用メモリに要求されるデータ書き込み／読み出しのスピードを削減することが出来る。

【0073】請求項2の発明に於ては、画像の早送り再生に於て、デコード用メモリに書き込む以前にビデオストリームの不要なデータを廃棄することにより、早送り再生時にデコード用メモリに要求されるデータ書き込み／読み出しのスピードを削減することが出来る。

【0074】請求項3の発明に於ては、デコード用メモリに対してデータ書き込み／読み出しのスピードを過大に要求することなく、Iピクチャーのみを用いた画像の早送り再生を行うことが出来る。請求項4の発明に於ては、ビデオストリームの各ヘッダを検出することによって、デコード用メモリに対してデータ書き込み／読み出しのスピードを過大に要求することなく、Iピクチャーのみを用いた画像の早送り再生が可能になる。

【0075】請求項5の発明に於ては、デコード用メモリに対してデータ書き込み／読み出しのスピードを過大に要求することなく、Iピクチャー及びPピクチャーのみ、或いはIピクチャー及びPピクチャーとBピクチャーの一部を用いた画像の早送り再生を行うことが出来る。

【0076】請求項6の発明に於ては、ビデオストリームの各ヘッダを検出することによって、デコード用メモリに対してデータ書き込み／読み出しのスピードを過大に要求することなく、Iピクチャー及びPピクチャーのみ、或いはIピクチャー及びPピクチャーとBピクチャーの一部を用いた画像の早送り再生が可能になる。

【0077】請求項7の発明に於ては、ビデオストリームのユーザデータ及びエクステンションデータの少なくとも一つを選別してメモリに格納することによって、ユーザデータ或いはエクステンションデータを他のデータとは別個に扱うことが出来ると共に、デコード用メモリ

に要求されるデータ書き込み／読み出しのスピードを削減することが出来る。

【0078】請求項8の発明に於ては、ビデオストリームの各ヘッダを検出することによってユーザデータを他のデータとは別個に扱うことが可能になると共に、デコード用メモリに要求されるデータ書き込み／読み出しのスピードを削減することが出来る。

【図面の簡単な説明】

10 【図1】本発明によるMPEGストリームに対する画像処理装置の構成図である。

【図2】MPEGストリームに含まれるヘッダを説明する図である。

【図3】図1のヘッダ検出ユニットの第1の実施例の構成図である。

【図4】図3のヘッダ検出ユニットの動作を説明するタイムチャートである。

【図5】図1のヘッダ検出ユニットの第2の実施例の構成図である。

20 【図6】図1のヘッダ検出ユニットの第3の実施例の構成図である。

【図7】図1のヘッダ検出ユニットの第4の実施例の構成図である。

【図8】MPEGストリームに対する従来の画像処理装置の構成図である。

【図9】図7の可変長逆符号化ユニットの構成図である。

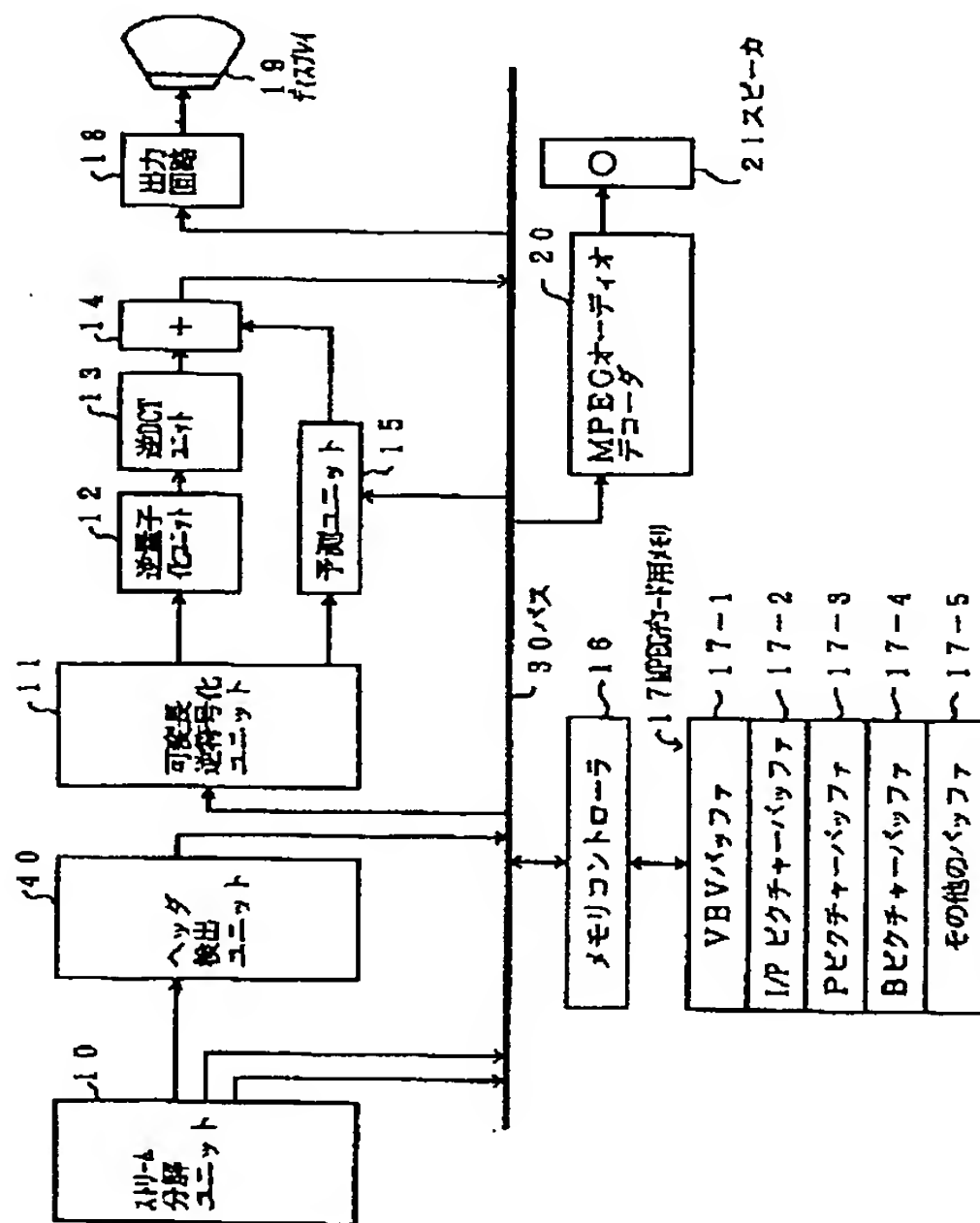
【符号の説明】

- 10 ストリーム分解ユニット
- 11 可変長逆符号化ユニット
- 30 12 逆量子化ユニット
- 13 逆DCTユニット
- 14 加算器
- 15 予測ユニット
- 16 メモリコントローラ
- 17 MPEGデコード用メモリ
- 18 出力回路
- 19 ディスプレイ
- 20 MPEGオーディオデコーダ
- 21 スピーカ
- 40 31 ピクチャーヘッダ格納レジスタ
- 32 シフトレジスタ
- 33 比較器
- 41 オア回路
- 42 8進カウンタ
- 43 比較器
- 44 遅延回路
- 45、46 レジスタ
- 47 シーケンスヘッダ比較器
- 48 GOPヘッダ比較器
- 50 49 Iピクチャーヘッダ比較器

- 21
- 50 Pピクチャヘッダ比較器
 - 51 Bピクチャヘッダ比較器
 - 52 RSフリップフロップ
 - 53 アンド回路
 - 54 FIFOメモリ
 - 55 アップダウンカウンタ
 - 56 比較器

【図1】

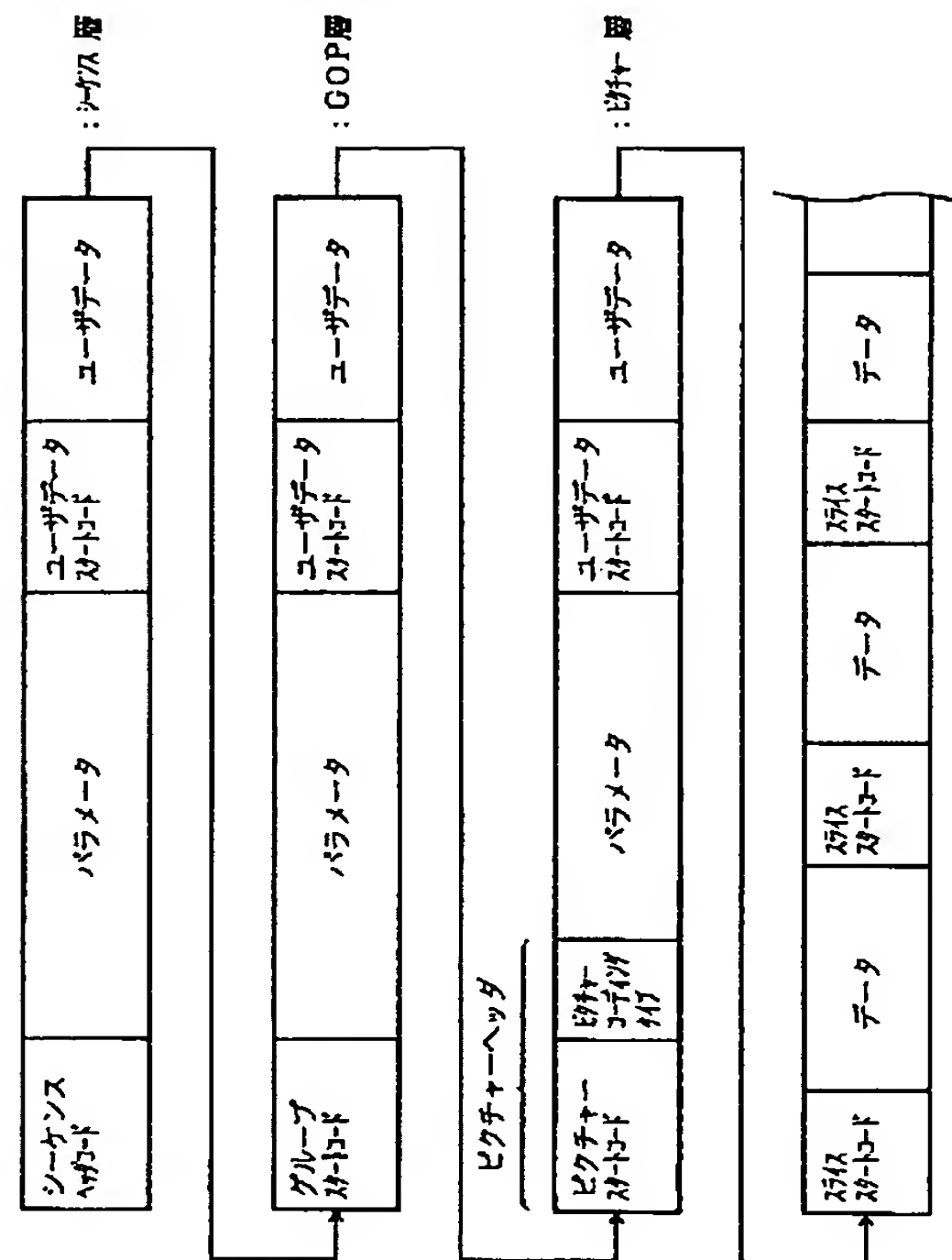
本発明によるMPEGストリームに対する画像処理装置の構成図



- 22
- 57 メモリインターフェース回路
 - 60 ユーザヘッダ比較器
 - 61、62 RSフリップフロップ
 - 63 アンド回路
 - 64 インバータ
 - 70、71 FIFO回路

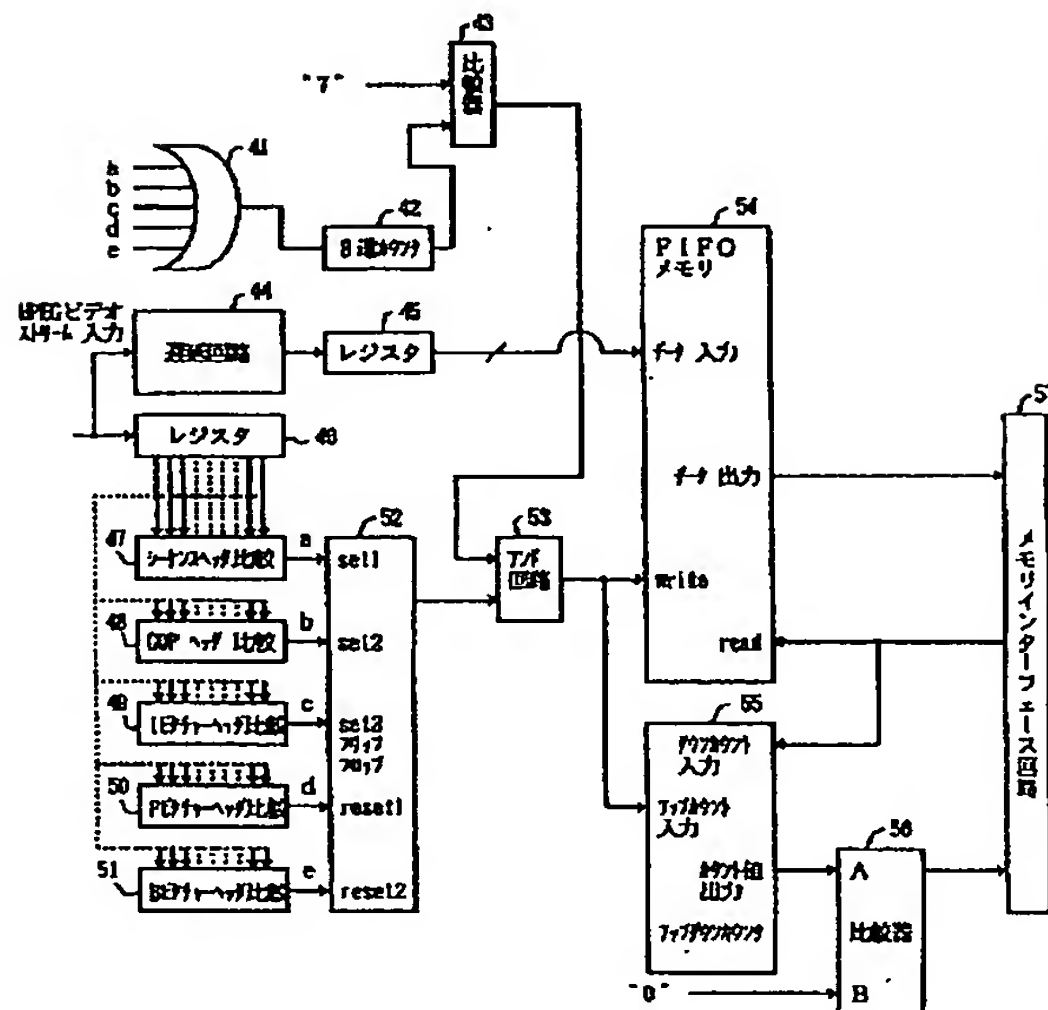
【図2】

MPEGストリームに含まれるヘッダを説明する図



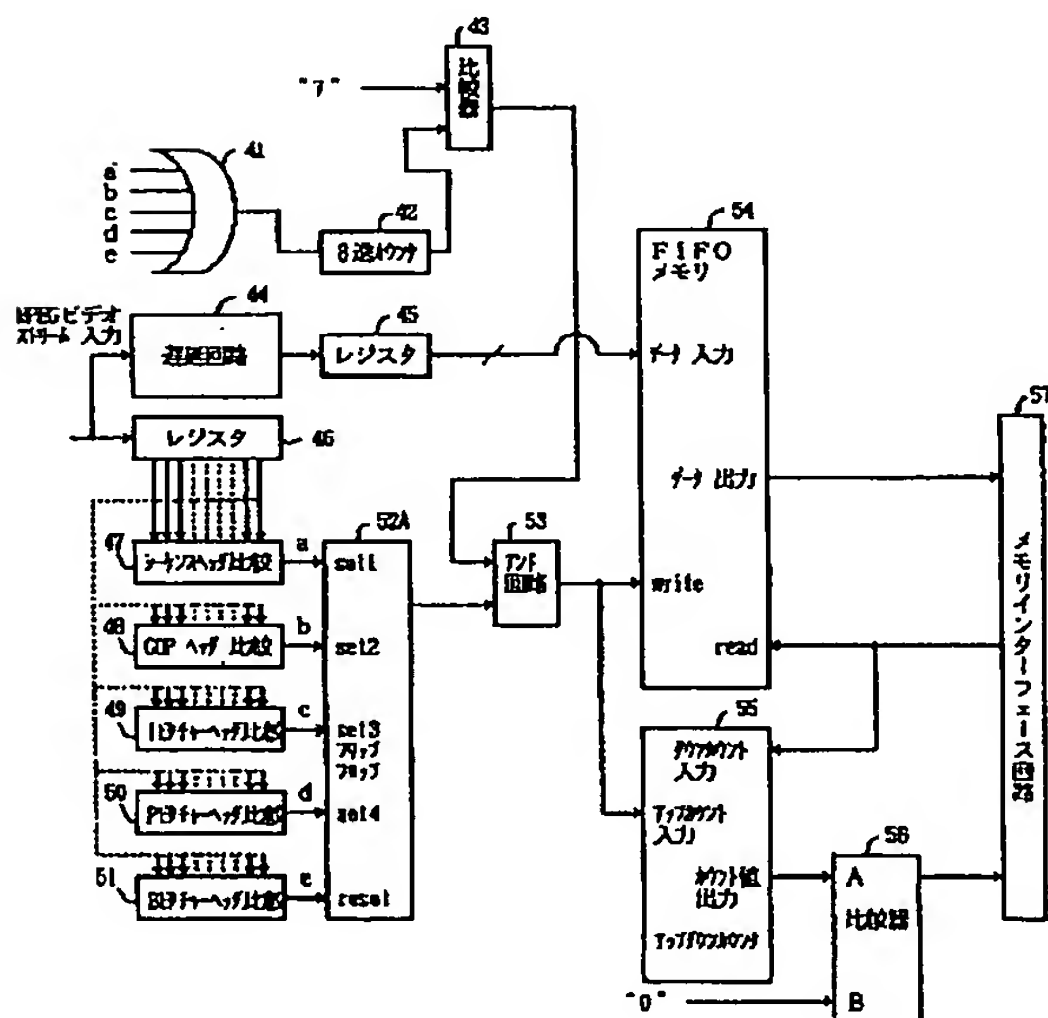
【図3】

図1のヘッダ抽出ユニットの第1の実施例の構成図



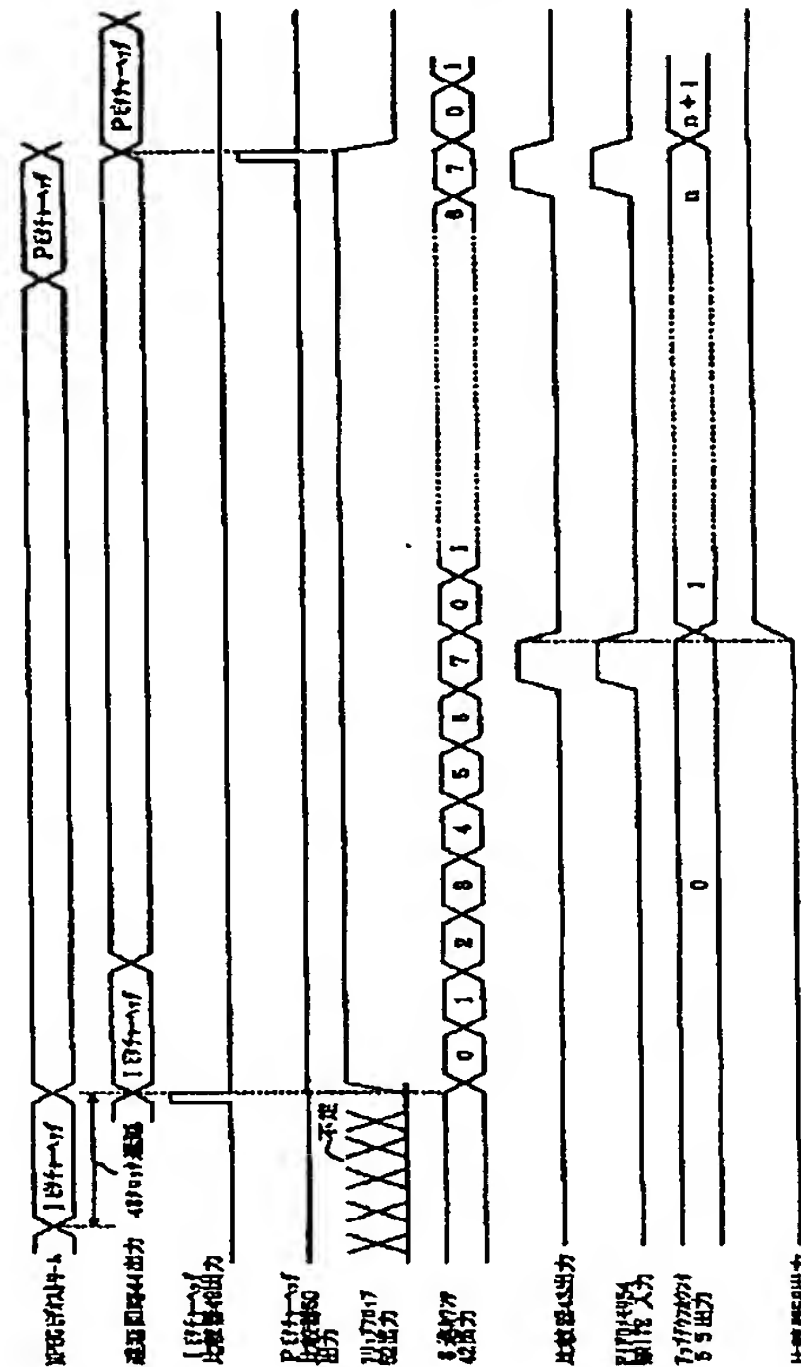
【図5】

図1のヘッダ抽出ユニットの第2の実施例の構成図



【図4】

図3のヘッダ抽出ユニットの動作を説明するタイムチャート



【図7】

図1のヘッダ抽出ユニットの第4の実施例の構成図

